

POWERED BY **Dialog**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE, POWER AMPLIFIER, AND WIRELESS COMMUNICATION DEVICE

Publication Number: 2000-349095 (JP 2000349095 A) , December 15, 2000

Inventors:

- HASE ICHIRO
- TSUKAMOTO HIRONORI
- NAKAMURA MITSUHIRO

Applicants

- SONY CORP

Application Number: 11-158164 (JP 99158164) , June 04, 1999

International Class:

- H01L-021/337
- H01L-029/808
- H03F-003/213
- H04B-007/26

Abstract:

PROBLEM TO BE SOLVED: To manufacture a semiconductor device easily with good controllability which can be easily operated by a single power source and has an excellent distortion property, high power efficiency, and improved performance. **SOLUTION:** A second barrier layer 22 made of AlGaAs, a channel layer 23 made of undoped InGaAs, a first barrier layer 24 made of AlGaAs, and a surface layer 25 made of GaAs, are laminated in sequence on a substrate 11. In response to a gate electrode 15, a p-type layer 26a made of p-type AlGaAs is buried in the first barrier layer 24, and a p-type contact layer 26b made of p-type GaAs is buried in the surface layer 25. The p-type layer 26a can increase a built-in voltage. The p-type contact layer 26b can reduce the contact resistance with the gate electrode 15 and prevent the oxidation of the p-type layer 26a. **COPYRIGHT:** (C)2000,JPO

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 6763224

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-349095
(P2000-349095A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

| (51) Int.Cl. ⁷ | 識別記号 | F I | ターマート* (参考) |
|---------------------------|--------|---------------|-------------|
| H 0 1 L 21/337 | | H 0 1 L 29/80 | C 5 F 1 0 2 |
| | 29/808 | H 0 3 F 3/213 | 5 J 0 9 1 |
| H 0 3 F 3/213 | | H 0 4 B 7/26 | L 5 K 0 6 7 |
| H 0 4 B 7/26 | | | |

審査請求 未請求 請求項の数39 O L (全 23 頁)

(21) 出願番号 特願平11-158164

(22) 出願日 平成11年6月4日 (1999. 6. 4)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長谷 伊知郎

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 塚本 弘範

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100098785

弁理士 藤島 洋一郎

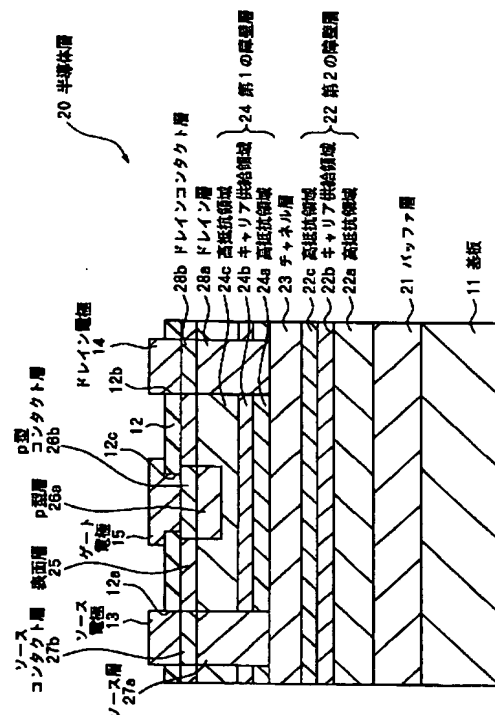
最終頁に続く

(54) 【発明の名称】 半導体素子およびその製造方法ならびに電力増幅器および無線通信装置

(57) 【要約】

【課題】 単一電源で容易に動作させることができ、歪み特性に優れ、かつ高い電力付加効率を有する半導体素子を実現するにあたり、容易かつ制御性よく製造することができると共に、その性能を向上させることができるようにする。

【解決手段】 基板11の上にAlGaAsよりなる第2の障壁層22、undoped-InGaAsよりなるチャネル層23、AlGaAsよりなる第1の障壁層24、GaAsよりなる表面層25を順次積層する。ゲート電極15に対応してAp型InGaAsよりなるp型層26aを第1の障壁層24に埋め込んで形成し、p型GaAsよりなるp型コンタクト層26bを表面層25に埋め込んで形成する。p型層26aによりビルトイン電圧を大きくすることができる。p型コンタクト層26bによりゲート電極15との接触抵抗を小さくすることができると共に、p型層26aの酸化を防止することができる。



【特許請求の範囲】

【請求項1】 ソース電極とドレイン電極との間にゲート電極が設けられた半導体素子であって、前記ソース電極と前記ドレイン電極との間の電流通路であり半導体よりなるチャンネル層と、

このチャンネル層と前記ゲート電極との間に前記ゲート電極に対応して設けられ、前記チャンネル層よりも小さな電子親和力および広いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型層と、この第1導電型層と前記ゲート電極との間に前記ゲート電極に対応して設けられ、前記第1導電型層よりも大きな電子親和力および狭いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型コンタクト層とを備えたことを特徴とする半導体素子。

【請求項2】 前記チャンネル層は、インジウムおよびガリウムからなる群のうちの少なくとも1種のIII族元素と、ヒ素および窒素からなる群のうちの少なくとも1種のV族元素とを含むIII-V族化合物半導体よりなることを特徴とする請求項1記載の半導体素子。

【請求項3】 前記チャンネル層は、III族元素におけるインジウムの組成比が0.1以上のInGaAs混晶よりなることを特徴とする請求項1記載の半導体素子。

【請求項4】 前記チャンネル層の厚さは、5nm以上20nm以下であることを特徴とする請求項1記載の半導体素子。

【請求項5】 前記第1導電型層の第1導電型不純物濃度および前記第1導電型コンタクト層の第1導電型不純物濃度は、それぞれ $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とする請求項1記載の半導体素子。

【請求項6】 前記第1導電型層は、インジウム、アルミニウムおよびガリウムからなる群のうちの少なくとも1種のIII族元素と、ヒ素およびリンからなる群のうちの少なくとも1種のV族元素とを含むIII-V族化合物半導体よりなることを特徴とする請求項1記載の半導体素子。

【請求項7】 前記第1導電型コンタクト層は、III-V族化合物半導体であるGaAsよりなることを特徴とする請求項1記載の半導体素子。

【請求項8】 前記第1導電型不純物は亜鉛、炭素、マグネシウムおよびベリリウムからなる群のうちの少なくとも1種のp型不純物、またはセレン、ケイ素、ゲルマニウム、スズおよび硫黄からなる群のうちの少なくとも1種のn型不純物であることを特徴とする請求項1記載の半導体素子。

【請求項9】 更に、前記チャンネル層と前記第1導電型層との間に設けられ、前記チャンネル層よりも小さな電子親和力および広いバンドギャップを有する半導体よりなる第1の障壁層を備えたことを特徴とする請求項1記載の半導体素子。

【請求項10】 前記第1の障壁層は、インジウム、ア

ルミニウムおよびガリウムからなる群のうちの少なくとも1種のIII族元素と、ヒ素およびリンからなる群のうちの少なくとも1種のV族元素とを含むIII-V族化合物半導体よりなることを特徴とする請求項9記載の半導体素子。

【請求項11】 前記第1の障壁層は、III族元素におけるアルミニウムの組成比が0.25以下のAlGaAs混晶よりなることを特徴とする請求項9記載の半導体素子。

【請求項12】 更に、前記第1の障壁層の前記チャンネル層と反対側に設けられ、半導体よりなる表面層を備えたことを特徴とする請求項9記載の半導体素子。

【請求項13】 前記第1導電型層は前記第1の障壁層に対して埋め込まれており、前記第1導電型コンタクト層は前記表面層に対して埋め込まれていることを特徴とする請求項12記載の半導体素子。

【請求項14】 前記表面層は第2導電型不純物を含む第2導電型半導体よりなることを特徴とする請求項13記載の半導体素子。

【請求項15】 前記表面層の第2導電型不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とする請求項14記載の半導体素子。

【請求項16】 前記表面層は、前記ソース電極と前記ゲート電極との間および前記ソース電極と前記ドレイン電極との間に電圧をそれぞれ印加しない状態においてキャリアが空乏化していることを特徴とする請求項14記載の半導体素子。

【請求項17】 前記表面層の厚さは35nm以下であることを特徴とする請求項13記載の半導体素子。

【請求項18】 前記表面層は、前記第1の障壁層と前記第1導電型層との間に設けられたことを特徴とする請求項12記載の半導体素子。

【請求項19】 前記表面層は、不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする請求項18記載の半導体素子。

【請求項20】 更に、前記ソース電極と前記チャンネル層との間に前記第1の障壁層に対応して設けられ、前記ソース電極と前記チャンネル層とを電気的に接続するためのソース層と、

このソース層と前記ソース電極との間に前記表面層に対応して設けられたソースコンタクト層と、前記ドレイン電極と前記チャンネル層との間に前記第1の障壁層に対応して設けられ、前記ドレイン電極と前記チャンネル層とを電気的に接続するためのドレイン層と、このドレイン層と前記ドレイン電極との間に前記表面層に対応して設けられたドレインコンタクト層とを備えたことを特徴とする請求項12記載の半導体素子。

【請求項21】 前記ソース層、前記ソースコンタクト層、前記ドレイン層および前記ドレインコンタクト層は、第2導電型不純物を含む第2導電型半導体によりそ

れぞれ構成されたことを特徴とする請求項 20 記載の半導体素子。

【請求項 22】 前記ソース層および前記ドレイン層は、前記第 1 の障壁層よりも大きな電子親和力および狭いバンドギャップを有する半導体によりそれぞれ構成されると共に、前記ソースコンタクト層および前記ドレインコンタクト層は、前記表面層よりも大きな電子親和力および狭いバンドギャップを有する半導体によりそれぞれ構成されたことを特徴とする請求項 20 記載の半導体素子。

【請求項 23】 更に、前記チャネル層の前記第 1 の障壁層と反対側に設けられ、前記チャネル層よりも小さな電子親和力および広いバンドギャップを有する半導体よりなる第 2 の障壁層を備えたことを特徴とする請求項 9 記載の半導体素子。

【請求項 24】 前記第 1 の障壁層および前記第 2 の障壁層は、不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 以下の高抵抗領域をそれぞれ有することを特徴とする請求項 23 記載の半導体素子。

【請求項 25】 前記第 1 の障壁層および前記第 2 の障壁層の少なくとも一方は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上の第 2 導電型不純物を含むキャリア供給領域を有することを特徴とする請求項 23 記載の半導体素子。

【請求項 26】 前記第 2 の障壁層は III-V 族化合物半導体である AlGaAs 混晶よりなることを特徴とする請求項 23 記載の半導体素子。

【請求項 27】 前記チャネル層、前記第 1 導電型層および前記第 1 導電型コンタクト層を含み、かつ前記ソース電極、前記ドレイン電極および前記ゲート電極がそれぞれ接触して設けられる半導体層を備えると共に、この半導体層のうち前記ソース電極、前記ドレイン電極および前記ゲート電極がそれぞれ接触する表面は段差が 70 nm 以下の実質的な平坦面であることを特徴とする請求項 1 記載の半導体素子。

【請求項 28】 ソース電極とドレイン電極との間にゲート電極が設けられた半導体素子の製造方法であって、ソース電極とドレイン電極との間の電流通路として半導体よりなるチャネル層を形成する工程と、ゲート電極に対応してチャネル層とゲート電極との間に、チャネル層よりも小さな電子親和力および広いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型層を形成する工程と、ゲート電極に対応して第 1 導電型層とゲート電極との間に、第 1 導電型層よりも大きな電子親和力および狭いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型コンタクト層を形成する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 29】 拡散法、エピタキシャル法またはイオン注入法により、第 1 導電型コンタクト層および第 1 導電型層に第 1 導電型不純物をそれぞれ導入することを特

徴とする請求項 28 記載の半導体素子の製造方法。

【請求項 30】 第 1 導電型不純物として亜鉛を拡散法により導入することを特徴とする請求項 29 記載の半導体素子の製造方法。

【請求項 31】 更に、チャネル層と第 1 導電型層との間に、チャネル層よりも小さな電子親和力および広いバンドギャップを有する半導体よりなる第 1 の障壁層を形成する工程を含むことを特徴とする請求項 28 記載の半導体素子の製造方法。

10 【請求項 32】 更に、第 1 導電型層のチャネル層と反対側に、半導体よりなる表面層を形成する工程を含むことを特徴とする請求項 31 記載の半導体素子の製造方法。

【請求項 33】 更に、ソース電極とチャネル層との間にソース電極とチャネル層とを電気的に接続するためのソース層を形成する工程と、ソース層とソース電極との間に表面層に対応してソースコンタクト層を形成する工程と、

20 ドレイン電極とチャネル層との間にドレイン電極とチャネル層とを電気的に接続するためのドレイン層を形成する工程と、

ドレイン層とドレイン電極との間に表面層に対応してドレインコンタクト層を形成する工程とを更に含むことを特徴とする請求項 32 記載の半導体素子の製造方法。

【請求項 34】 ソース層、第 1 の障壁層、第 1 導電型層およびドレイン層の各形成予定領域に同一工程により半導体層を形成したのち、この半導体層の一部に第 1 導電型不純物を導入することにより第 1 導電型層を第 1 の障壁層に埋め込んで形成すると共に、ソースコンタクト層、表面層、第 1 導電型コンタクト層およびドレインコンタクト層の各形成予定領域に同一工程により半導体層を形成したのち、この半導体層の一部に第 1 導電型不純物を導入することにより第 1 導電型コンタクト層を表面層に埋め込んで形成することを特徴とする請求項 33 記載の半導体素子の製造方法。

【請求項 35】 ソース層、第 1 の障壁層、第 1 導電型層およびドレイン層の各形成予定領域に同一工程により第 1 導電型不純物を導入して半導体層を形成したのち、この半導体層の一部に第 2 導電型不純物を導入することにより第 1 導電型層を第 1 の障壁層に埋め込んで形成すると共に、ソースコンタクト層、表面層、第 1 導電型コンタクト層およびドレインコンタクト層の各形成予定領域に同一工程により第 1 導電型不純物を導入して半導体層を成長させたのち、この半導体層の一部に第 2 導電型不純物を導入することにより第 1 導電型コンタクト層を表面層に埋め込んで形成することを特徴とする請求項 33 記載の半導体素子の製造方法。

【請求項 36】 第 2 導電型不純物を導入することおよび金属と半導体とを合金化させることのうちの少なくとも

も一方により、ソース層、ソースコンタクト層、ドレイン層およびドレインコンタクト層をそれぞれ形成することを特徴とする請求項 33 記載の半導体素子の製造方法。

【請求項 37】 ソース層、ソースコンタクト層、ドレイン層およびドレインコンタクト層をそれぞれ形成したのち、ソース電極およびドレイン電極をそれぞれ形成することを特徴とする請求項 33 記載の半導体素子の製造方法。

【請求項 38】 ソース電極とドレイン電極との間にゲート電極が設けられた半導体素子を用いた電力増幅器であって、

前記半導体素子は、前記ソース電極と前記ドレイン電極との間の電流通路であり半導体よりなるチャネル層と、このチャネル層と前記ゲート電極との間に前記ゲート電極に対応して設けられ、前記チャネル層よりも小さな電子親和力および広いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型層と、この第 1 導電型層と前記ゲート電極との間に前記ゲート電極に対応して設けられ、前記第 1 導電型層よりも大きな電子親和力および狭いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型コンタクト層とを備えたことを特徴とする電力増幅器。

【請求項 39】 ソース電極とドレイン電極との間にゲート電極が設けられた半導体素子を用いた無線通信装置であって、

前記半導体素子は、前記ソース電極と前記ドレイン電極との間の電流通路であり半導体よりなるチャネル層と、このチャネル層と前記ゲート電極との間に前記ゲート電極に対応して設けられ、前記チャネル層よりも小さな電子親和力および広いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型層と、この第 1 導電型層と前記ゲート電極との間に前記ゲート電極に対応して設けられ、前記第 1 導電型層よりも大きな電子親和力および狭いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型コンタクト層とを備えたことを特徴とする無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ソース電極とドレイン電極との間にゲート電極および半導体よりなるチャネル層がそれぞれ設けられた半導体素子およびその製造方法ならびにそれを用いた電力増幅器および無線通信装置に関する。

【0002】

【従来の技術】 PHS (Personal Handiphone System) あるいは PDC (Personal Digital Cellular) などの移動体通信システムにおいては、一般に、無線携帯端末の小型化、低コスト化およびバッテリーの長寿命化などが強く求められてきた。これらを実現するためには、例

えば、送信用パワーアンプおよびそれを構成するパワートランジスタがより高い電流密度で動作すること、およびより高い電力付加効率を有すること（高効率）が必要とされ、更に最近では、正電源だけで動作が可能であることが強く望まれている。また、最近の CDMA (Code Division Multiple Access) あるいは W-CDMA

(Wideband Code Division Multiple Access) などの通信品質の向上を図ることができる新しいデジタル無線通信方式においては、更に、上記パワーアンプおよびそれを構成するパワートランジスタが低歪み性能にも優れたものであることが要求されている。

【0003】 従って、無線携帯端末用のパワートランジスタにおいては、低歪み高効率性能に優れていること、高い電流密度を実現できること、エンハンスメントモードで動作させやすいことなどが重要となる。特に、上記パワートランジスタをエンハンスメントモードで動作させることができれば、正電源だけでの動作が可能となるだけでなく、ドレインスイッチが不要となるというメリットも生じる。

【0004】 現在、このようなパワーアンプ用として実用化されている、あるいは実用化のために研究開発されているデバイスには、pn 接合ゲート型電界効果トランジスタ (JFET; Junction Field Effect Transistor)、ショットキー障壁ゲート型電界効果トランジスタ (MESFET; Metal-Semiconductor Field Effect Transistor) およびヘテロ接合電界効果トランジスタ (HFET; Heterojunction Field Effect Transistor) などがある。

【0005】

【発明が解決しようとする課題】 しかしながら、これらの各 FET では、低歪み性能に優れ、高い電力付加効率を有し、かつ単一電源動作が可能なパワーアンプを得ることが難しいという問題があった。この問題を解決する方法としては、例えば、ゲート電極に対応して p 型層を設けた pn 接合ゲート型ヘテロ接合形電界効果トランジスタ (JHFET) 構造とすることが考えられる（特願平 9-249217 号公報参照）。

【0006】 図 15 にこの JHFET の一構成例を示す。この JHFET は、半絶縁性の単結晶 GaAs よりなる基板 211 の上にバッファ層 221 を介して AlGaAs 混晶よりなる第 2 の障壁層 222、InGaAs 混晶よりなるチャネル層 223 および AlGaAs 混晶よりなる第 1 の障壁層 224 が順次積層され、この第 1 の障壁層 224 に p 型不純物を高濃度を含む AlGaAs 混晶よりなる p 型層 226 が埋め込まれた構造とされている。p 型層 226 の上にはゲート電極 215 が設けられ、第 1 の障壁層 224 の上にはゲート電極 215 を間に挟むように GaAs よりなるキャップ層 229 を介してソース電極 213 およびドレイン電極 214 がそれぞれ設けられている。ソース電極 213、ドレイン電極

214 およびゲート電極 215 の間には絶縁膜 212 が形成されている。

【0007】この JHFET は、例えば、基板 211 の上に、バッファ層 221、第 2 の障壁層 222、チャンネル層 223、第 1 の障壁層 224 およびキャップ層 229 を順次積層したのち、ゲート電極 215 の形成予定領域に対応してキャップ層 229 を選択的に除去して第 1 の障壁層 224 を露出させ、p 型不純物を拡散させて p 型層 226 を形成することにより製造される。

【0008】このような JHFET によれば、ゲート電極 215 に対応して p 型層 226 を設けているので、ショットキー接合ゲートを用いた従来の FET に比べてビルトイン電圧が大きく、ゲート電極 215 に大きな正電圧を印加することができる。特に、第 1 の障壁層 224 および p 型層 226 を広いバンドギャップを有する AlGaAs 混晶によりそれぞれ構成しているため、ゲート電圧 V_g を例えば 1.2 V 以上印加しても、チャンネル層 223 から見たゲート電極 215 方向の障壁を十分な高さに保つことができ、ゲートリーク電流を抑制することができる。従って、容易に正電源のみで動作させることができる。

【0009】また、この JHFET によれば、p 型層 226 を第 1 の障壁層 224 に対して埋め込んでいるので、リセスゲート構造を用いた従来の FET に比べてソース抵抗を容易に低減させることができる。よって、いわゆるオン抵抗も容易に低減させることができ、電力付加効率を高める点で有利である。この効果は、エンハンスメントモードにおいて特に有効に働き、エンハンスメントモードで動作させることが容易となる。

【0010】更に、この JHFET によれば、チャンネル層 223 と第 1 の障壁層 224 との伝導帯端の不連続量が大きいので、電流密度も高くすることができると共に、加えて、上述したようにゲート電極 215 に大きな正電圧を印加することもできるので、ゲート・ソース間容量 C_{gs} および相互コンダクタンス G_m の変動がゲート電圧 V_g の広い範囲に渡って少なく、優れた歪み特性を得ることができる。

【0011】すなわち、この JHFET によれば従来の問題点を解決することができる。しかし、この JHFET は、製造の際に、第 1 の障壁層 224 の上に形成したキャップ層 229 をゲート電極 215 の形成予定領域に対応して選択的に除去し、第 1 の障壁層 224 を露出させているので、特性面および製造の容易さに関し、次のような問題点が存在する。

【0012】まず、第 1 に、GaAs よりなるキャップ層 229 と AlGaAs 混晶よりなる第 1 の障壁層 224 との選択エッチング比を 100 以上とすることは可能であるが、エッチング量の精密制御および再現性の点ではまだ十分とは言えず、ゲート電極 215 とチャンネル層 223 との間の距離を高い精度で制御することは容易では

ない。

【0013】第 2 に、キャップ層 229 の一部を除去することによりキャップ層 229 の表面と p 型層 226 の表面との間に段差が生じてしまい、それ以降の製造工程において不都合が生じやすくなる。例えば、絶縁膜 212 に開口を形成する際のリソグラフィ工程において焦点が合わせにくくなる。

【0014】第 3 に、第 1 の障壁層 224 を AlGaAs 混晶により構成しているため、第 1 の障壁層 224 の表面が比較的酸化されやすく、p 型層 226 を形成する工程の制御性が悪化しやすい。

【0015】第 4 に、p 型層 226 を AlGaAs 混晶により構成しているため、例えば、GaAs より構成する場合に比べてゲート電極 215 との接触抵抗が大きくなってしまふ。これは、一般に同一の条件で作製した場合、GaAs よりも AlGaAs 混晶の方がキャリア濃度が低くなること、および GaAs よりも AlGaAs 混晶の方が酸化されやすいことなどによるものと考えられる。

【0016】なお、これらのうち第 3 および第 4 の問題は、例えば、第 1 の障壁層および p 型層を GaAs によりそれぞれ構成するようにすれば改善することができるが（特願平 9-249217 号公報参照）、そのように構成すると、p 型層を AlGaAs 混晶により構成する場合に比べてビルトイン電圧が小さくなってしまい、ゲート電極に印加できる最大電圧も低下してしまう。

【0017】本発明はかかる問題点を鑑みてなされたもので、その目的は、単一電源で容易に動作させることができ、歪み特性に優れ、かつ高い電力付加効率を有する半導体素子を実現するにあたり、容易かつ制御性よく製造することができると共に、その性能を向上させることができる半導体素子およびその製造方法ならびにそれを用いた電力増幅器および無線通信装置を提供することにある。

【0018】

【課題を解決するための手段】本発明による半導体素子は、ソース電極とドレイン電極との間にゲート電極が設けられたものであって、ソース電極とドレイン電極との間の電流通路であり半導体よりなるチャンネル層と、このチャンネル層とゲート電極との間にゲート電極に対応して設けられ、チャンネル層よりも小さな電子親和力および広いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型層と、この第 1 導電型層とゲート電極との間にゲート電極に対応して設けられ、第 1 導電型層よりも大きな電子親和力および狭いバンドギャップを有し第 1 導電型不純物を含む第 1 導電型半導体よりなる第 1 導電型コンタクト層とを備えたものである。

【0019】本発明による半導体素子の製造方法は、ソース電極とドレイン電極との間にゲート電極が設けられ

た半導体素子を製造するものであって、ソース電極とドレイン電極との間の電流通路として半導体よりなるチャネル層を形成する工程と、ゲート電極に対応してチャネル層とゲート電極との間に、チャネル層よりも小さな電子親和力および広いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型層を形成する工程と、ゲート電極に対応して第1導電型層とゲート電極との間に、第1導電型層よりも大きな電子親和力および狭いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型コンタクト層を形成する工程とを含むものである。

【0020】本発明による電力増幅器および無線通信装置は、それぞれ、ソース電極とドレイン電極との間にゲート電極が設けられた半導体素子を用いたものであって、半導体素子は、ソース電極とドレイン電極との間の電流通路であり半導体よりなるチャネル層と、このチャネル層とゲート電極との間にゲート電極に対応して設けられ、チャネル層よりも小さな電子親和力および広いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型層と、この第1導電型層とゲート電極との間にゲート電極に対応して設けられ、第1導電型層よりも大きな電子親和力および狭いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型コンタクト層とを備えたものである。

【0021】本発明による半導体素子では、ゲート電極に電圧が印加されると、チャネル層におけるキャリア数が増加し、チャネル層を流れる電流が変調される。ここでは、第1導電型層と共に、この第1導電型層とゲート電極との間に第1導電型層よりも大きな電子親和力および狭いバンドギャップを有する第1導電型コンタクト層が設けられているので、大きなビルトイン電圧が得られると共に、第1導電型層および第1導電型コンタクト層とゲート電極との接触抵抗が小さくなっている。

【0022】本発明による半導体素子の製造方法では、ソース電極とドレイン電極との間の電流通路として半導体よりなるチャネル層が形成される。また、ゲート電極に対応してチャネル層とゲート電極との間に、チャネル層よりも小さな電子親和力および広いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型層が形成される。更に、ゲート電極に対応して第1導電型層とゲート電極との間に、第1導電型層よりも大きな電子親和力および狭いバンドギャップを有し第1導電型不純物を含む第1導電型半導体よりなる第1導電型コンタクト層が形成される。

【0023】本発明による電力増幅器および無線通信装置はそれぞれ本発明の半導体素子を用いたものである。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下の実施の形態においては、第1導電型がp型、第2導電型がn型

の場合について説明する。すなわち、以下の実施の形態においてp型層は本発明の第1導電型層に、p型コンタクト層は第1導電型コンタクト層に、p型不純物は第1導電型不純物に、p型半導体層は第1導電型半導体層に、n型不純物は第2導電型不純物に、n型半導体層は第2導電型半導体層にそれぞれ該当する。

【0025】(第1の実施の形態)図1は、本発明の第1の実施の形態に係る半導体素子の構造を表すものである。この半導体素子は、例えば、半絶縁性の単結晶GaAsよりなる基板11の一面に形成されたIII-V族化合物半導体よりなる半導体層20を備えている。この半導体層20の基板11と反対側の表面には、絶縁膜12と共に、この絶縁膜12に離間して形成された開口12a、12bを介してソース電極13およびドレイン電極14が半導体層20に接触してそれぞれ設けられている。ソース電極13とドレイン電極14との間の半導体層20の表面には、絶縁膜12に形成された開口12cを介してゲート電極15が半導体層20に接触して設けられている。

【0026】半導体層20は、例えば、基板11の側から順に積層されたバッファ層21、第2の障壁層22、チャネル層23、第1の障壁層24および表面層25を有している。バッファ層21は、例えば、積層方向の厚さ(以下、単に厚さと言う)が500nmであり、不純物を意図的には添加しないundoped-GaAs(undopedは不純物を意図的には添加しないことを表す;以下同じ)により構成されている。

【0027】第2の障壁層22は、例えば、厚さ200nmの高抵抗領域22aと、厚さ3nmのキャリア供給領域22bと、厚さ2nmの高抵抗領域22cとがバッファ層21の側から順に積層された構造を有しており、チャネル層23よりも小さな電子親和力および広いバンドギャップを有するIII-V族化合物半導体により構成されている。このようにチャネル層23よりも電子親和力を小さくするのは、チャネル層23にキャリアである電子を閉じ込めるためであり、チャネル層23よりもバンドギャップを広くするのは、狭いとチャネル層23に閉じ込めるキャリアと異なるキャリアの正孔が第2の障壁層22に占有しやすくなり、動作に悪影響を及ぼしてしまうからである。例えば、チャネル層23が後述するようにInGaAs混晶などにより構成される場合には、第2の障壁層22はAlGaAs混晶などにより構成されることが好ましい。なお、ここでは、III族元素におけるアルミニウム(Al)の組成比が0.23のAl_{0.23}Ga_{0.77}As混晶により構成されている。

【0028】第2の障壁層22における高抵抗領域22a、22cは、不純物濃度が低く高抵抗の領域であり、例えば、不純物が添加されていないか、または低濃度のn型不純物が添加されていても良い。高抵抗領域22a、22cの不純物濃度は、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$

以下であることが好ましい。不純物濃度がこれよりも大きくなると、チャネル層 23 を走行する電子の速度が著しく低下してしまうからである。第 2 の障壁層 22 におけるキャリア供給領域 22b は、n 型不純物を高濃度に例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上含む領域であり、ここでは、n 型不純物としてケイ素 (Si) が $1.2 \times 10^{12} \text{ cm}^{-2}$ 程度添加されている。

【0029】チャネル層 23 は、ソース電極 13 とドレイン電極 14 との間の電流通路であり、第 2 の障壁層 22 および第 1 の障壁層 24 よりも大きな電子親和力および狭いバンドギャップを有する III-V 族化合物半導体により構成されている。電子親和力が大きくバンドギャップが狭い III-V 族化合物半導体としては、II 族であるインジウム (In) およびガリウム (Ga) からなる群のうちの少なくとも 1 種と、V 族元素であるヒ素 (As) とを含むものがある。ここでは、例えば、III 族元素におけるインジウムの組成比が 0.2 の不純物を添加しない undoped-In_{0.2}Ga_{0.8}As 混晶により構成されている。これにより、チャネル層 23 には、第 2 の障壁層 22 のキャリア供給領域 22b および後述する第 1 の障壁層 24 のキャリア供給領域 24b から供給された電子が蓄積されるようになっている。

【0030】ちなみに、チャネル層 23 を InGaAs 混晶により構成する場合には、III 族元素におけるインジウムの組成比を 0.1 以上とすることが好ましい。インジウムの組成比が高いほど電子親和力が大きくバンドギャップが狭くなるので、インジウムの組成比を 0.1 以上とすれば、第 2 の障壁層 22 とチャネル層 23 との間、および第 1 の障壁層 24 とチャネル層 23 との間における伝導帯端の差をそれぞれ十分に大きくすることができるからである。また、チャネル層 23 の厚さは、5 nm 以上 20 nm 以下であることが好ましい。5 nm よりも薄いとチャネル層 23 と第 1 の障壁層 24 との間の界面の凹凸、およびチャネル層 23 と第 2 の障壁層 22 との間の界面の凹凸により、キャリアの走行が妨げられやすく、結果としてキャリアの移動度が低下してしまうからであり、20 nm よりも厚いとチャネル層 23 の結晶性が低下してしまうからである。

【0031】第 1 の障壁層 24 は、例えば、厚さ 2 nm の高抵抗領域 24a と、厚さ 6 nm のキャリア供給領域 24b と、厚さ 72 nm の高抵抗領域 24c とがチャネル層 23 の側から順に積層された構造を有しており、チャネル層 23 よりも小さな電子親和力および広いバンドギャップを有する III-V 族化合物半導体により構成されている。このようにチャネル層 23 よりも電子親和力を小さくバンドギャップを広くするのは、第 2 の障壁層 22 と同様に、チャネル層 23 に電子を閉じ込めると共に、第 1 の障壁層 24 における正孔の占有を防止するためである。例えば、チャネル層 23 が InGaAs 混晶などにより構成される場合には、第 1 の障壁層 24 は

インジウム、アルミニウムおよびガリウムからなる群のうちの少なくとも 1 種の III 族元素と、ヒ素およびリン (P) からなる群のうちの少なくとも 1 種の V 族元素とを含む III-V 族化合物半導体により構成されることが好ましく、具体的には、InGaP 混晶、AlInGaP 混晶、AlInGaAsP 混晶あるいは AlGaAs 混晶により構成されることが好ましい。なお、ここでは、Al_{0.23}Ga_{0.77}As 混晶により構成されている。

【0032】ちなみに、第 1 の障壁層 24 を AlGaAs 混晶により構成する場合には、III 族元素におけるアルミニウムの組成比を 0.25 以下とすることが好ましい。アルミニウムの組成比が高くなるいわゆるソース抵抗が大きくなってしまおうと共に、後述する p 型層 26a を p 型不純物の拡散により形成する際に拡散速度が速くなり制御性が悪くなってしまおうからである。また、ここでは、第 2 の障壁層 22 と第 1 の障壁層 24 とを同一組成の Al_{0.23}Ga_{0.77}As 混晶によりそれぞれ構成するようにしたが、互いに異なった組成の AlGaAs 混晶によりそれぞれ構成するようにしてもよい。第 1 の障壁層 24 はソース抵抗を小さくするために III 族元素におけるアルミニウムの組成比が 0.25 以下であることが好ましいが、第 2 の障壁層 22 においてはその必要はなく、第 2 の障壁層 22 を流れる電流成分を抑制するという観点からはむしろアルミニウムの組成比が少し高い方が好ましい場合もあるからである。

【0033】第 1 の障壁層 24 における高抵抗領域 24a、24c は、不純物濃度が低く高抵抗の領域であり、例えば、不純物が添加されていないか、または低濃度の n 型不純物が添加されていても良い。これら高抵抗領域 24a、24c の不純物濃度は後述する p 型層 26a よりも低く、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましい。高抵抗領域 24a における不純物濃度がこれよりも大きくなると、チャネル層 23 を走行する電子の速度が著しく低下してしまい、高抵抗領域 24c における不純物濃度がこれよりも大きくなると、ゲート耐圧が著しく低下してしまうからである。第 1 の障壁層 24 におけるキャリア供給領域 24b は、n 型不純物を高濃度に例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上含む領域であり、ここでは、n 型不純物としてケイ素が $2.4 \times 10^{12} \text{ cm}^{-2}$ 程度添加されている。

【0034】表面層 25 は、例えば、後述する p 型コンタクト層 26b と材料および組成が同一の半導体により構成されている。すなわち、後述するように、第 1 の障壁層 24 よりも大きな電子親和力および狭いバンドギャップを有する III-V 族化合物半導体により構成されている。また、表面層 25 は、n 型半導体により構成されることが好ましく、その n 型不純物濃度は、第 1 の障壁層 24 の高抵抗領域 24c よりも高く、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが好ましい。n 型不純物を

高濃度に含むことによりチャネル層 23 のうち表面層 25 に対応する領域における電子の空乏化を抑制することができ、いわゆるソース抵抗を低減することができるからである。

【0035】更に、表面層 25 の厚さは例えば 35 nm 以下と薄くされていることが好ましい。これにより、表面層 25 は、ソース電極 13 とゲート電極 15 との間およびソース電極 13 とドレイン電極 14 との間に電圧をそれぞれ印加しない状態においてキャリアが空乏化し、n 型不純物を高濃度に含んでいても、ゲート電極 15 とドレイン電極 14 との間における逆方向の耐圧性を確保することができるからである。なお、ここでの表面層 25 は、例えば、厚さが 10 nm であり、n 型不純物としてケイ素を $4 \times 10^{18} \text{ cm}^{-3}$ 程度添加した n 型 GaAs により構成されている。

【0036】半導体層 20 は、また、ソース電極 13 とドレイン電極 14 との間の領域におけるチャネル層 23 とゲート電極 15 との間にゲート電極 15 に対応して設けられた p 型層 26 a と p 型コンタクト層 26 b とを有している。p 型層 26 a は、p 型不純物を含みかつチャネル層 23 よりも小さな電子親和力および広いバンドギャップを有する p 型 III-V 族化合物半導体により構成されている。例えば、チャネル層 23 が InGaAs 混晶などにより構成される場合には、インジウム、アルミニウムおよびガリウムからなる群のうちの少なくとも 1 種の III 族元素と、ヒ素およびリンからなる群のうちの少なくとも 1 種の V 族元素とを含む III-V 族化合物半導体により構成されることが好ましい。

【0037】また、p 型層 26 a は、例えば、第 1 の障壁層 24 の高抵抗領域 24 c に埋め込まれた状態で高抵抗領域 24 c とゲート電極 15 との間に設けられており、高抵抗領域 24 c の一部と同一工程で成長させた半導体成長層に p 型不純物を拡散することにより形成されている。すなわち、この p 型層 26 a は、第 1 の障壁層 24 と材料および組成が同一の半導体により構成されている。ここでは、例えば、厚さが 60 nm であり、p 型不純物として亜鉛を $1 \times 10^{19} \text{ cm}^{-3}$ 程度含む p 型 Al_{0.23}Ga_{0.77}As 混晶により構成されている。なお、p 型層 26 a の p 型不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが好ましい。

【0038】p 型コンタクト層 26 b は、p 型層 26 a よりも大きな電子親和力および狭いバンドギャップを有する III-V 族化合物半導体により構成されている。これにより、p 型層 26 a および p 型コンタクト層 26 b とゲート電極 15 との接触抵抗は小さくなり、また、p 型層 26 a の酸化も防止されるようになっている。例えば、p 型層 26 a が AlGaAs 混晶などにより構成される場合には、この p 型コンタクト層 26 b は GaAs により構成されることが好ましい。

【0039】また、p 型コンタクト層 26 b は、例え

ば、表面層 25 に埋め込まれた状態で p 型層 26 a およびゲート電極 15 に隣接してそれらの間に設けられており、表面層 25 と同一の工程で成長させた半導体成長層に p 型不純物を拡散することにより形成されている。すなわち、p 型コンタクト層 26 b は、表面層 25 と同一の厚さを有しており、表面層 25 と材料および組成が同一の半導体により構成されている。ここでは、例えば、厚さが 10 nm であり、p 型不純物として亜鉛を $1 \times 10^{19} \text{ cm}^{-3}$ 程度含む p 型 GaAs により構成されている。ちなみに、この p 型コンタクト層 26 b は、表面層 25 と同様に n 型不純物も含んでおり、n 型不純物よりも p 型不純物を高濃度に含むことにより p 型を示すようになっている。p 型コンタクト層 26 b の p 型不純物濃度は、p 型層 26 a と同様に、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが好ましい。

【0040】半導体層 20 は、更に、ソース電極 13 に対応して設けられたソース層 27 a およびソースコンタクト層 27 b と、ドレイン電極 14 に対応して設けられたドレイン層 28 a およびドレインコンタクト層 28 b とを有している。ソース層 27 a は、ソース電極 13 とチャネル層 23 との間において第 1 の障壁層 24 に対応して設けられており、第 1 の障壁層 24 よりも低い抵抗を有することによりソース電極 13 とチャネル層 23 とを電気的に接続するようになっている。例えば、このソース層 27 a は、第 1 の障壁層 24 を構成する元素とソース電極 13 を構成する元素とを主成分とする合金化層により構成されるか、n 型不純物を高濃度に含む n 型半導体により構成されるか、またはインジウムなどを含むことにより第 1 の障壁層 24 よりも大きな電子親和力および狭いバンドギャップを有する III-V 族化合物半導体により構成されることで低抵抗化されている。また、それらのうちの複数の要素を兼ね備えることにより低抵抗化されていてもよい。なお、ソース層 27 a の厚さは第 1 の障壁層 24 より薄くても厚くてもよいが、ここでは第 1 の障壁層 24 と同じ例えば 80 nm とされた場合について図示し、説明する。

【0041】ソースコンタクト層 27 b は、ソース層 27 a とソース電極 13 との間において表面層 25 に対応して設けられており、表面層 25 よりも低い抵抗を有することによりソース電極 13 とチャネル層 23 とを電気的に接続するようになっている。すなわち、このソースコンタクト層 27 b は、例えば、表面層 25 を構成する元素とソース電極 13 を構成する元素とを主成分とする合金化層により構成されるか、n 型不純物を高濃度に含む n 型半導体により構成されるか、またはインジウムなどを含むことにより表面層 25 よりも大きな電子親和力および狭いバンドギャップを有する III-V 族化合物半導体により構成されることで低抵抗化されている。また、これらのうちの複数の要素を兼ね備えることにより低抵抗化されていてもよい。なお、ソースコンタクト層

27bの厚さは表面層25と同一であり、例えば10nmと薄くされている。

【0042】ドレイン層28aは、ドレイン電極14とチャンネル層23との間において第1の障壁層24に対応して設けられており、第1の障壁層24よりも低い抵抗を有することによりドレイン電極14とチャンネル層23とを電気的に接続するようになっている。すなわち、ドレイン層28aはソース層27aと同様の構成を有している。ドレインコンタクト層28bは、ドレイン層28aとドレイン電極14との間において表面層25に対応して設けられており、表面層25よりも低い抵抗を有することによりドレイン電極14とチャンネル層23とを電気的に接続するようになっている。すなわち、ドレインコンタクト層28bはソースコンタクト層27bと同様の構成を有している。

【0043】なお、この半導体層20は、ソースコンタクト層27b、表面層25、p型コンタクト層26bおよびドレインコンタクト層28bにより表面が形成されており、その表面は段差のほとんどない平坦面となっている。なお、実際には、熱処理によりソース電極13とソースコンタクト層27bとの間およびドレイン電極14とドレインコンタクト層28bとの間の境界は不明瞭となっているが、図1に示したように幾何学的に境界を定義すればその表面は段差のない平坦面とすることができる。

【0044】絶縁膜12は、例えば、厚さが200nmの窒化珪素(Si_3N_4)により構成されている。ソース電極13およびドレイン電極14は、例えば、基板11の側からAuGe、ニッケル(Ni)および金(Au)を順次積層した構造、または積層したのち400℃程度の熱処理によりソースコンタクト層27bおよびソース層27aあるいはドレインコンタクト層28bおよびドレイン層28aと反応して少なくとも一部が合金化した構造とされている。これにより、ソース電極13およびドレイン電極14はチャンネル層23とそれぞれオーミック接続している。ゲート電極15は、例えば、基板11の側からチタン(Ti)、白金(Pt)および金を順次積層した構造とされており、p型コンタクト層26bとオーミック接続している。

【0045】図2および図3は、この半導体素子のゲート電極15下におけるエネルギーバンド構成を表すものである。図2はゲート電圧 V_g を印加していない状態のものであり、図3は1.3V以上のゲート電圧 V_g を印加した状態のものである。なお、図2および図3では、第2の障壁層22、第1の障壁層24およびp型層26aを $\text{Al}_{0.23}\text{Ga}_{0.77}\text{As}$ 混晶によりそれぞれ構成し、チャンネル層23を $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成し、p型コンタクト層26bをGaAsにより構成した場合について表している。

【0046】このように、この半導体素子は、広いバン

ドギャップを有する半導体（ここでは約1.7eVのバンドギャップを有する $\text{Al}_{0.23}\text{Ga}_{0.77}\text{As}$ 混晶）よりなるp型層26aが設けられており、大きなビルトイン電圧が得られるようになっている。すなわち、ゲート電極15に大きな正電圧を印加することができるようになっている。また、p型層26aよりも狭いバンドギャップを有する半導体（ここでは約1.4eVのバンドギャップを有するGaAs）よりなるp型コンタクト層26bが設けられており、p型層26aおよびp型コンタクト層26bとゲート電極15との接触抵抗を小さくできるようになっている。

【0047】更に、チャンネル層23と第1の障壁層24との伝導帯端の不連続量 ΔE_c が十分に大きく（ここでは0.31eV）、図3に示したように、ゲート電圧 V_g を例えば1.3V以上印加しても、チャンネル層23から見たゲート電極15方向の障壁は、ゲートリーク電流を抑制するに十分な高さを保つことができるようになっている。

【0048】加えて、第1の障壁層24のポテンシャル極小点とチャンネル層23における電子の擬フェルミ準位の差も十分に大きく（ここでは0.20eV以上）なるように構成されており、第1の障壁層24内に分布する電子数はチャンネル層23内に分布する電子数に比べて無視できる程度に少なくなっている。よって、素子の動作時に第1の障壁層24内を流れる電流量もチャンネル層23内を流れる電流量に比べて無視できる程度に少なく、チャンネル層23に比べて易動度の低い第1の障壁層24内を電子が走行することによる相互コンダクタンス G_m の劣化が生じないようになっている。この状況はゲート電圧 V_g が1.5V程度まで保たれる。

【0049】なお、図4にこの半導体素子のドレイン電流 I_d とゲート電圧 V_g との関係を示し、図5に相互コンダクタンス G_m とゲート電圧 V_g との関係を示す。ちなみに、ここでは、第2の障壁層22、第1の障壁層24およびp型層26aを $\text{Al}_{0.23}\text{Ga}_{0.77}\text{As}$ 混晶によりそれぞれ構成し、チャンネル層23を $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶により構成し、表面層25およびp型コンタクト層26bをGaAsにより構成した場合について示している。

【0050】このように、この半導体素子は、閾値電圧 V_{th} が約0Vであり、エンハンスメントモードで動作すると共に、1.5Vまでゲート電圧 V_g を印加することができるという特性を有している。また、ゲート電圧 V_g の広い範囲において相互コンダクタンス G_m のゲート電圧 V_g に対する依存性が少なく、かつ相互コンダクタンス G_m はゲート・ソース間容量 C_{gs} と電子速度 V_e との積に比例するので、ゲート・ソース間容量 C_{gs} のゲート電圧 V_g に対する依存性も少ないという特性も有している。すなわち、正電源のみでの動作が容易であり、かつ優れた歪み特性を有するようになっている。

【0051】このような構成を有する半導体素子は、例えば、次のように動作する。

【0052】この半導体素子では、ここではエンハスメントモードなので、ゲート電極15に電圧を印加していない状態 ($V_g = 0$) においては、図6に示したように、p型層26aおよびp型コンタクト層26bにより、その直下に該当するチャネル層23の領域に電子が空乏化したあるいはチャネル層23の他の領域に比べて電子が欠乏したキャリア欠乏領域23aが形成されている（このときのエネルギーバンド構成は図2を参照）。すなわち、チャネル層23は高抵抗の状態にある。

【0053】ここで、ゲート電極15に例えば1.0V程度の正のゲート電圧 V_g を印加すると、図6において示したキャリア欠乏領域23aは消失し、チャネル層23における電子数が増大し、ドレイン電流 I_d が変調される（このときのエネルギーバンド構成は図3を参照）。その際、リセスゲート構造において生じるような寄生抵抗成分 R_{rec} は残存しない。よって、チャネル層23のオン抵抗 R_{on} は低く、最大ドレイン電流 I_{dmax} は大きくなっており、高い電力付加効率 η および高い電流密度が得られる。

【0054】このような半導体素子は、例えば、次のようにして製造することができる。

【0055】図7はその各製造工程を表すものである。まず、図7(A)に示したように、例えば、GaAsよりなる基板11の上に、undoped-GaAsよりなる半導体成長層をエピタキシャル成長させてバッファ層21を形成したのち、undoped-AlGaAs混晶よりなる半導体成長層、n型AlGaAs混晶よりなる半導体成長層およびundoped-AlGaAs混晶よりなる半導体成長層を順次エピタキシャル成長させて高抵抗領域22a、キャリア供給領域22bおよび高抵抗領域22cを積層した第2の障壁層22を形成する。次いで、第2の障壁層22の上に、例えば、undoped-InGaAsよりなる半導体成長層をエピタキシャル成長させてチャネル層23を形成する。

【0056】続いて、チャネル層23の上に、例えば、第1の障壁層24の高抵抗領域24a、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、undoped-AlGaAs混晶よりなる半導体成長層31をエピタキシャル成長させる。そののち、半導体成長層31の上に、例えば、第1の障壁層24のキャリア供給領域24b、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、n型AlGaAs混晶よりなる半導体成長層32をエピタキシャル成長させる。

【0057】半導体成長層32を形成したのち、その上に、例えば、第1の障壁層24の高抵抗領域24c、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、undoped-AlGa

As混晶よりなる半導体成長層33の一部を形成すると共に、第1の障壁層24の高抵抗領域24c、p型層26a、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、undoped-AlGaAs混晶よりなる半導体成長層33の残りの一部をエピタキシャル成長させる。これにより、第1の障壁層24の形成予定領域に、高抵抗領域24a、キャリア供給領域24bおよび高抵抗領域24cを積層した第1の障壁層24が形成される。

【0058】半導体成長層33を形成したのち、その上に、例えば、表面層25、p型コンタクト層26b、ソースコンタクト層27bおよびドレインコンタクト層28bの形成予定領域にそれぞれ対応して、同一工程により、n型GaAsよりなる半導体成長層34をエピタキシャル成長させる。これにより、表面層25の形成予定領域に表面層25が形成される。

【0059】半導体成長層34を形成したのち、図示しないが、メサエッチングにより、または酸素あるいはホウ素などをイオン注入することにより素子間分離を行う。素子分離を行ったのち、図7(B)に示したように、半導体成長層34の上に、例えばCVD (Chemical Vapor Deposition) 法により窒化ケイ素膜を蒸着し絶縁膜12を形成する。ここでは、絶縁膜12を平坦な半導体成長層34の表面に形成するので、均一な絶縁膜12を容易に形成できるようになっている。そののち、絶縁膜12の一部をリソグラフィ技術およびエッチング技術により選択的に除去することにより、ゲート電極15の形成予定領域に開口12cを形成して半導体成長層34を露出させる。ここでは、絶縁膜12が平坦な半導体成長層34の表面に形成されているので、リソグラフィ工程における焦点合わせが容易となっている。

【0060】開口12cを形成したのち、例えば、拡散により600℃程度の温度でp型不純物である亜鉛を半導体成長層34、33の一部にそれぞれ導入し、p型層26aを第1の障壁層24に埋め込んで形成すると共に、p型コンタクト層26bを表面層25に埋め込んで形成する。なお、ここでは、AlGaAs混晶よりなる半導体成長層33の上にGaAsよりなる半導体成長層34が形成されているので、半導体成長層33の酸化が抑制されており、p型層26aを制御性よく形成できるようになっている。そののち、図7には示さないが、例えば、全面にチタン、白金および金を順次蒸着してパターン形成を行いゲート電極15を形成する。ここでは、半導体成長層34の上に直接ゲート電極15を形成するので、ゲート電極15とチャネル層23との間の距離を高い精度で制御できるようになっている。

【0061】ゲート電極15を形成したのち、絶縁膜12の一部をリソグラフィ技術およびエッチング技術により選択的に除去し、ソース電極13およびドレイン電極14の形成予定領域に開口12a、12bをそれぞれ形

成して半導体成長層 34 を露出させる。開口 12a, 12b をそれぞれ形成したのち、その上に、例えば AuGe, ニッケルおよび金を順次蒸着してパターン形成を行う。そののち、例えば 400℃ 程度の加熱処理を行って合金化し、ソース電極 13 およびドレイン電極 14 をそれぞれ形成すると共に、半導体成長層 33 の一部に低抵抗化したソース層 27a およびドレイン層 28a をそれぞれ形成し、半導体成長層 34 の一部に低抵抗化したソースコンタクト層 27b およびドレインコンタクト層 28b をそれぞれ形成する。これにより、図 1 に示した半導体素子が形成される。

【0062】なお、この半導体素子は、次のようにしても製造することができる。例えば、絶縁膜 12 に開口 12a, 12b をそれぞれ形成したのち、ソース電極 13 およびドレイン電極 14 を形成する前に、拡散法またはイオン注入法などにより n 型不純物を半導体成長層 33, 34 の一部に導入し、n 型半導体よりなるソース層 27a, ソースコンタクト層 27b, ドレイン層 28a およびドレインコンタクト層 28b をそれぞれ形成するようにしてもよい。

【0063】また、例えば、絶縁膜 12 に開口 12a, 12b をそれぞれ形成したのち、ソース電極 13 およびドレイン電極 14 を形成する前に、インジウムなどの金属を半導体成長層 33, 34 の一部と合金化させ、第 1 の障壁層 24 よりも大きな電子親和力および狭いバンドギャップを有するソース層 27a およびドレイン層 28a をそれぞれ形成すると共に、表面層 25 よりも大きな電子親和力および狭いバンドギャップを有するソースコンタクト層 27b およびドレインコンタクト層 28b をそれぞれ形成するようにしてもよい。

【0064】更に、例えば、絶縁膜 12 に開口 12a, 12b をそれぞれ形成したのち、ソース電極 13 およびドレイン電極 14 を形成する前に、その両方を行い、それらをそれぞれ形成するようにしてもよい。ちなみに、これらの方法によりソース層 27a, ソースコンタクト層 27b, ドレイン層 28a およびドレインコンタクト層 28b をそれぞれ形成する場合には、ソース電極 13 およびドレイン電極 14 を形成する際の加熱による合金化処理工程において、通常より加熱温度を低くしたり、あるいは加熱時間を短くするようにしてもよい。また、合金化処理を省略してもよい。

【0065】このように本実施の形態に係る半導体素子によれば、ゲート電極 15 に対応して p 型層 26a を備えたと共に、この p 型層 26a とゲート電極 15 との間に p 型層 26a よりも大きな電子親和力および狭いバンドギャップを有する p 型コンタクト層 26b を備えるようにしたので、ビルトイン電圧を大きくすることができ、よってゲート電極 15 に大きな正電圧を印加でき、正電源のみによる動作が容易となると共に、p 型層 26a および p 型コンタクト層 26b とゲート電極 15 との

接触抵抗を小さくすることができる。

【0066】また、ゲート電極 15 に正電圧を印加した場合に、チャネル層 23 において寄生抵抗成分 R_{rec} がほとんど残存せず、オン抵抗 R_{on} を低くすることができ、高い電力付加効率 η を得ることができる。更に、ビルトイン電圧が大きいので、従来と同程度の閾値電圧を得るにはキャリア供給領域 22b, 24b の不純物濃度を高くする必要が生じ、それによりいわゆるソース抵抗が低くなり、オン抵抗 R_{on} を小さくすることができる。加えて、p 型コンタクト層 26b を備えているので、p 型層 26a の酸化を抑制することができ、p 型層 26a を不純物の拡散により制御性よく形成することができる。

【0067】更にまた、チャネル層 23 と p 型層 26a との間にチャネル層 23 よりも小さな電子親和力および広いバンドギャップを有する第 1 の障壁層 24 を備えるようにしたので、相互コンダクタンス G_m およびゲート・ソース間容量 C_{gs} のゲート電圧 V_g に対する依存性が少なく、かつ電流密度を高くすることができる。特に、本実施の形態では、ゲート電極 15 に大きな正電圧を印加することができるので、相互コンダクタンス G_m およびゲート・ソース間容量 C_{gs} はゲート電圧 V_g の広い範囲に渡って変動が少なく、優れた歪み特性を得ることができる。

【0068】加えてまた、第 1 の障壁層 24 のチャネル層 23 と反対側に表面層 25 を設け、p 型層 26a を第 1 の障壁層 24 に対して埋め込むと共に、p 型コンタクト層 26b を表面層 25 に対して埋め込み、かつ第 1 の障壁層 24 に対応してソース層 27a およびドレイン層 28a を設け、表面層 25 に対応してソースコンタクト層 27b およびドレインコンタクト層 28b を設けるようにしたので、半導体層 20 の表面を段差のない平坦面とすることができる。よって、絶縁膜 12 の形成またはリソグラフィ工程における位置合わせなどが容易となり、製造を容易とすることができる。また、半導体層 20 をエッチングする必要がないので、製造工程を簡素化することができると共に、ゲート電極 15 とチャネル層 23 との間の距離を高い精度で制御することができ、品質を向上させることができる。

【0069】更にまた、表面層 25 を高濃度の n 型不純物を含む n 型半導体により構成するようにしたので、チャネル層 23 のうち表面層 25 に対応する領域における電子の空乏化を防止することができ、いわゆるソース抵抗を低減することができる。

【0070】加えてまた、表面層 25 の厚さを 35nm 以下に薄くするようにしたので、ソース電極 13 とゲート電極 15 との間およびソース電極 13 とドレイン電極 14 との間に電圧をそれぞれ印加しない状態において表面層 25 は空乏化し、n 型不純物を高濃度に含んでいても、ゲート電極 15 とドレイン電極 14 との間における

逆方向の耐圧性を確保することができる。ちなみに、本実施の形態で説明したように構成すれば、例えば、ソース抵抗が $0.7\Omega\text{mm}$ で、ゲート電極15とドレイン電極14との間における逆方向の耐圧が10V以上の従来に比べて遜色のない特性を得ることができる。

【0071】更にまた、本実施の形態に係る半導体素子の製造方法によれば、チャネル層23の上に、ソース層27a、第1の障壁層24およびドレイン層28bの形成予定領域にそれぞれ対応して半導体成長層31、32、33をそれぞれ形成し、その上に、ソース層27a、第1の障壁層24、p型層26aおよびドレイン層28bの形成予定領域にそれぞれ対応して半導体成長層33を形成し、その上に、ソースコンタクト層27b、表面層25、p型コンタクト層26bおよびドレインコンタクト層28bに対応して半導体成長層34を形成したのち、半導体成長層33、34の一部にp型不純物をそれぞれ拡散させることによりp型層26aおよびp型コンタクト層26bを形成するようにしたので、本実施の形態に係る半導体素子を容易に製造することができ、本実施の形態に係る半導体素子を容易に実現することができる。

【0072】なお、この半導体素子は、上述したようにゲート電極15とドレイン電極14との間の耐圧性が高いので、例えば、移動体通信装置などの無線通信装置に含まれる電力増幅器に好ましく用いられる。特に、チャネル層23が電子速度を速くできるInGaAs混晶などの半導体により構成される場合には、優れた高周波特性を有するので、通信周波数がUHF (ultra high frequency) 帯以上のものに好ましく用いられる。

【0073】図8は本実施の形態に係る半導体素子を用いた無線通信装置の概略構成を表すものである。この無線通信装置は、例えば、高周波信号などの通信信号を送受信するアンテナ110と、このアンテナ110から入力された通信信号を処理信号に変換する受信部120と、処理信号を処理する信号処理回路130と、この信号処理回路から出力された処理信号を通信信号に変換する送信部140とを備えている。なお、アンテナ110と受信部120および送信部140とはスイッチ150を介して接続されており、入力された信号に応じて回路を切り換えるようになっている。

【0074】受信部120は、例えば、通信信号を増幅する低雑音増幅器121と、この低雑音増幅器121により増幅された通信信号から特定の周波数を選択するフィルタ122と、このフィルタ122を通過した通信信号を局部発振器123から発振される局部発振信号により周波数変換して処理信号とするミキサ124と、このミキサ124により変換された処理信号を増幅する広帯域IF増幅器125とを有している。すなわち、この無線通信装置は、アンテナ110に通信信号が入力されると、この通信信号をスイッチ150を介して低雑音増幅

器121により増幅し、フィルタ122により周波数の選択をし、ミキサ124により周波数変換して処理信号としたのち、広帯域IF増幅器125により増幅して信号処理回路130に出力するようになっている。

【0075】送信部140は、例えば、処理信号を局部発振器123から発振される局部発振信号により周波数変換して通信信号とする変調器141と、この変調器141により変換された通信信号を増幅するドライバ増幅器142と、このドライバ増幅器142により増幅された通信信号の位相を変える移相器143と、移相器143により変換された通信信号を増幅する電力増幅器144とを有している。すなわち、この無線通信装置は、信号処理回路130から処理信号が出力されると、この処理信号を変調器141により周波数変換して通信信号としたのち、ドライバ増幅器142により増幅し、移相器143により位相を変換し、電力増幅器144により増幅し、スイッチ150を介してアンテナ110から出力するようになっている。この無線通信装置では、電力増幅器144に本実施の形態に係る半導体素子が用いられている。なお、本実施の形態に係る半導体素子は電力増幅器144により適したものであるが、ドライバ増幅器142あるいは低雑音増幅器121などに本実施の形態に係る半導体素子を用いるようにしてもよい。

【0076】このようにこの無線通信装置によれば、本発明の半導体素子を用いた電力増幅器144を備えるようにしたので、電力増幅器144について優れた低歪み特性および高い電力付加効率を得ることができると共に、電力増幅器144を正電源のみで容易に動作させることができる。よって、無線通信装置の大きさを小型化することができ、かつ消費電力を少なくすることができる。従って、特に、携帯通信端末などの無線通信装置において、装置の小型化および使用時間の延長が可能となり、携帯を更に容易とすることができる。また、電力増幅器について優れた低歪み特性が求められるCDMAなどの通信品質の高い新しい通信方式においては、その品質を向上させることができる。

【0077】(第2の実施の形態) 図9は、本発明の第2の実施の形態に係る半導体素子の構成を表すものである。この半導体素子は、半導体層40における表面層45、p型層46aおよびp型コンタクト層46bの構成がそれぞれ異なることを除き、第1の実施の形態と同一の構成を有している。よって、第1の実施の形態と同一の構成要素には同一の符号を付すと共に、対応する構成要素には十の位を“4”に変更した符号を付し、同一部分についての詳細な説明を省略する。

【0078】半導体層40は、例えば、第1の障壁層24のチャネル層23と反対側に、表面層45、p型層46aおよびp型コンタクト層46bを第1の障壁層24の側から順に積層して有している。

【0079】表面層45は、例えば、p型層46aとの

エッチング選択比が大きな半導体により構成されており、p型層46aおよびp型コンタクト層46bを形成する際のエッチング制御性を高めるようになっている。また、この表面層45は、ソースコンタクト層27bおよびドレインコンタクト層28bと同一工程で成長させた半導体成長層により形成されている。よって、ソース電極13およびドレイン電極14との接触抵抗を小さくするように、第1の障壁層24よりも大きな電子親和力および狭いバンドギャップを有する半導体により構成されることが好ましい。更に、表面層45は、例えば、不純物が添加されていないかまたは低濃度のn型不純物を含んでいても良く、その不純物濃度は、p型層46aよりも低く、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましい。ゲート耐圧の低下を防止するためである。なお、ここでの表面層45は、例えば、厚さが10nmであり、不純物を添加しないundoped-GaAsにより構成されている。

【0080】p型層46aは、第1の障壁層24に埋め込まれておらず、p型不純物を添加しながらエピタキシャル成長されたものであることを除き、第1の実施の形態におけるp型層26aと同一の構成を有している。例えば、このp型層46aは、厚さが20nmであり、p型不純物として炭素(C)を $1 \times 10^{19} \text{ cm}^{-3}$ 程度含むIII族元素におけるアルミニウムの組成比が0.25のp型Al_{0.25}Ga_{0.75}As混晶により構成されている。

【0081】p型コンタクト層46bは、表面層45に埋め込まれておらず、p型不純物を添加しながらエピタキシャル成長されたものであることを除き、第1の実施の形態におけるp型コンタクト層26bと同一の構成を有している。例えば、このp型コンタクト層46bは、厚さが15nmであり、p型不純物として炭素を $1 \times 10^{19} \text{ cm}^{-3}$ 程度含むp型GaAsにより構成されている。

【0082】なお、p型層46aとチャンネル層23との間の距離を調節するために、第1の障壁層24における高抵抗領域24cの厚さは例えば12nmとなっている。

【0083】また、半導体層40の表面は、ソースコンタクト層27b、表面層45、p型コンタクト層46bおよびドレインコンタクト層28bにより形成されており、p型層46aおよびp型コンタクト層46bの厚さに相当する段差を有している。この段差は70nm以下であり、表面は実質的な平坦面となっている。ここでは、例えば、35nmと極めて小さくなっている。

【0084】図10および図11は、この半導体素子のゲート電極15下におけるエネルギーバンド構成を表すものである。図10はゲート電圧V_gを印加していない状態のものであり、図11は1.3V以上のゲート電圧V_gを印加した状態のものである。なお、図10および

図11では、第2の障壁層22、第1の障壁層24をAl_{0.23}Ga_{0.77}As混晶によりそれぞれ構成し、チャンネル層23をIn_{0.2}Ga_{0.8}As混晶により構成し、表面層45をGaAsにより構成し、p型層46aをAl_{0.25}Ga_{0.75}As混晶により構成し、p型コンタクト層46bをGaAsにより構成した場合について表している。

【0085】この半導体素子は、第1の障壁層24とp型層46aとの間にそれらよりも狭いバンドギャップを有する半導体よりなる表面層45が設けられていることを除き、第1の実施の形態と同様である。すなわち、第1の実施の形態と同様に、p型層46aにより大きなビルトイン電圧が得られるようになっており、p型コンタクト層46bによりp型層46aおよびp型コンタクト層46bとゲート電極15との接触抵抗を小さくできるようになっている。また、図11に示したように、第1の障壁層24によりゲートリーク電流を十分に防止すると共に、相互コンダクタンスG_mの劣化を防止するようになっている。

【0086】このような構成を有する半導体素子は、例えば、次のようにして製造することができる。

【0087】図12はその各製造工程を表すものである。まず、図12(A)に示したように、例えば、第1の実施の形態と同様にして、GaAsよりなる基板11の上に、undoped-GaAsよりなるバッファ層21、AlGaAs混晶よりなる第2の障壁層22およびundoped-InGaAsよりなるチャンネル23を順次エピタキシャル成長させる。

【0088】次いで、チャンネル層23の上に、例えば、第1の障壁層24の高抵抗領域24a、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、undoped-AlGaAs混晶よりなる半導体成長層51をエピタキシャル成長させる。続いて、半導体成長層51の上に、例えば、第1の障壁層24のキャリア供給領域24b、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、n型AlGaAs混晶よりなる半導体成長層52をエピタキシャル成長させる。

【0089】半導体成長層52を形成したのち、その上に、例えば、第1の障壁層24の高抵抗領域24c、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、undoped-AlGaAs混晶よりなる半導体成長層53をエピタキシャル成長させる。これにより、第1の障壁層24の形成予定領域に、高抵抗領域24a、キャリア供給領域24bおよび高抵抗領域24cを積層した第1の障壁層24が形成される。そののち、半導体成長層53の上に、例えば、表面層45、ソースコンタクト層27bおよびドレインコンタクト層28bの形成予定領域にそれぞれ対応して、同一工程により、undoped-GaAsよりなる半導体

成長層 54 をエピタキシャル成長させる。これにより、表面層 45 の形成予定領域に表面層 45 が形成される。

【0090】半導体成長層 54 を形成したのち、その上に、例えば、p 型 AlGaAs 混晶よりなる半導体成長層 55 をエピタキシャル成長させる。なお、この半導体成長層 55 は p 型層 46a を形成するためのものである。すなわち、ここでは、第 1 の実施の形態とは異なり、p 型層 46a を不純物の拡散ではなく不純物を添加したエピタキシャル成長により形成するようになっている。不純物の拡散により形成する場合には拡散時の温度のばらつきにより p 型層 46a の厚さにばらつきが生じてしまうのに対して、エピタキシャル成長によれば厚さを精度良く制御することができるからである。半導体成長層 55 を形成したのち、その上に、例えば、p 型 GaAs よりなる半導体成長層 56 をエピタキシャル成長させる。この半導体成長層 56 は p 型コンタクト層 46b を形成するためのものである。

【0091】半導体成長層 56 を形成したのち、図 12 (B) に示したように、例えば、半導体成長層 56、55 をリソグラフィ技術を用いてエッチングにより選択的に除去し、p 型層 46a および p 型コンタクト層 46b を形成する。なお、ここでは、p 型層 46a とのエッチング選択比が大きい半導体よりなる表面層 45 が設けられているので、エッチングの制御が容易となっている。また、p 型層 46a および p 型コンタクト層 46b の厚さは 70 nm 以下と薄いため、容易にエッチングできるようになっている。

【0092】そののち、図示しないが、第 1 の実施の形態と同様にして素子間分離を行う。素子分離を行ったのち、半導体成長層 54 および p 型コンタクト層 46b の上に、例えば CVD 法により窒化ケイ素膜を蒸着し絶縁膜 12 を形成する。ここでは、p 型層 46a および p 型コンタクト層 46b の厚さが 70 nm 以下と薄く、半導体成長層 54 と p 型コンタクト層 46b との段差が小さいので、均一な絶縁膜 12 を容易に形成できるようになっている。そののち、絶縁膜 12 をリソグラフィ技術を用いてエッチングにより選択的に除去し、ゲート電極 15 の形成予定領域に開口 12c を形成して p 型コンタクト層 46b を露出させる。ここでは、半導体成長層 54 と p 型コンタクト層 46b との段差が小さいので、リソグラフィ工程における位置合わせが容易となっている。

【0093】開口 12c を形成したのち、図 12 には示さないが、例えば、第 1 の実施の形態と同様にしてゲート電極 15 を形成する。ここでも第 1 の実施の形態と同様に、p 型コンタクト層 46b の上に直接ゲート電極 15 を形成するので、ゲート電極 15 とチャネル層 23 との間の距離を高い精度で制御できるようになっている。そののち、例えば、第 1 の実施の形態と同様にして、ソース電極 13、ドレイン電極 14、ソース層 27a、ソースコンタクト層 26b、ドレイン層 28a およびドレ

インコンタクト層 28b をそれぞれ形成する。これにより、図 9 に示した半導体素子が形成される。

【0094】なお、この半導体素子は、第 1 の実施の形態と同様に動作し、同様に用いられる。

【0095】このように本実施の形態に係る半導体素子によれば、第 1 の実施の形態と同様に p 型層 46a および p 型コンタクト層 46b を備えるようにしたので、第 1 の実施の形態と同様の効果を有する。

【0096】また、p 型層 46a および p 型コンタクト層 46b を表面層 45 よりもゲート電極 15 側に設けると共に、第 1 の障壁層 24 に対応してソース層 27a およびドレイン層 28a を設け、表面層 45 に対応してソースコンタクト層 27b およびドレインコンタクト層 28b を設けるようにしたので、半導体層 40 の表面を段差が 70 nm 以下の実質的な平坦面とすることができ、よって、第 1 の実施の形態と同様に、製造を容易とすることができる。更に、エッチング量を少なくでき、製造工程を簡素化することができる。加えて、半導体層 40 をエッチングして p 型コンタクト層 46b を露出させる必要がないので、第 1 の実施の形態と同様に、ゲート電極 15 とチャネル層 23 との間の距離を高い精度で制御することができる。

【0097】更にまた、本実施の形態に係る半導体素子の製造方法によれば、チャネル層 23 の上に、ソース層 27a、第 1 の障壁層 24 およびドレイン層 27b の形成予定領域にそれぞれ対応して半導体成長層 51、52、53 をそれぞれ形成し、その上に、ソースコンタクト層 27b、表面層 45 およびドレインコンタクト層 28b に対応して半導体成長層 54 を形成し、その上に、p 型層 46a および p 型コンタクト層 46b を形成するようにしたので、本実施の形態に係る半導体素子を容易に製造することができ、本実施の形態に係る半導体素子を容易に実現することができる。

【0098】加えてまた、p 型層 46a および p 型コンタクト層 46b をエピタキシャル成長により不純物を導入して形成するようにしたので、p 型層 46a の厚さを高い精度で制御することができる。よって、閾値電圧のばらつきを小さくすることができる。

【0099】(第 3 の実施の形態) 図 13 は本発明の第 3 の実施の形態に係る半導体素子の構成を表すものである。この半導体素子は、半導体層 60 における第 1 の障壁層 64、表面層 65、p 型層 66a および p 型コンタクト層 66b の構成がそれぞれ異なることを除き、第 1 の実施の形態と同一の構成を有している。よって、第 1 の実施の形態と同一の構成要素には同一の符号を付すと共に、対応する構成要素には十の位を“6”に変更した符号を付し、同一部分についての詳細な説明を省略する。

【0100】第 1 の障壁層 64 は、例えば、厚さ 2 nm の高抵抗領域 64a と、厚さ 6 nm のキャリア供給領域

64bと、厚さ22nmの高抵抗領域64cと、厚さ20nmのp型層埋め込み領域64dがチャネル層23の側から順に積層された構造を有している。高抵抗領域64aおよびキャリア供給領域64bは、第1の実施の形態の高抵抗領域24aおよびキャリア供給領域24bと同一の構成を有している。高抵抗領域64cは、厚さおよびp型層66aが埋め込まれていないことを除き、第1の実施の形態の高抵抗領域24cと同一の構成を有している。

【0101】p型層埋め込み領域64dは、例えば、p型層66aを埋め込むように対応して形成されており、高抵抗領域64a、64cおよびキャリア供給領域64bと材料および組成が同一の半導体により構成されている。また、このp型層埋め込み領域64dは、p型不純物が不活性化されているため、あるいはn型不純物により補償されているためにn型または半絶縁性となっている。p型層埋め込み領域64dのキャリア濃度は、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましい。ゲート耐圧の低下を防止するためである。

【0102】表面層65は、例えば、厚さが15nmであり、p型不純物が不活性化されているため、あるいはn型不純物により補償されているためにn型または半絶縁性となっていることを除き、第1の実施の形態の表面層25と同一の構成を有している。

【0103】p型層66aは、例えば、厚さが20nmであり、炭素などのp型不純物を添加しながらエピタキシャル成長されたものであることを除き、第1の実施の形態におけるp型層26aと同一の構成を有している。p型コンタクト層66bは、例えば、厚さが15nmであり、炭素などのp型不純物を添加しながらエピタキシャル成長されたものであることを除き、第1の実施の形態におけるp型コンタクト層26bと同一の構成を有している。

【0104】このような構成を有する半導体素子は、例えば、次のようにして製造することができる。

【0105】図14はその各製造工程を表すものである。まず、図14(A)に示したように、例えば、第1の実施の形態と同様にして、GaAsよりなる基板11の上に、undoped-GaAsよりなるバッファ層21、AlGaAs混晶よりなる第2の障壁層22およびundoped-InGaAsよりなるチャネル層23を順次エピタキシャル成長させる。

【0106】次いで、チャネル層23の上に、例えば、第1の障壁層64の高抵抗領域64a、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、undoped-AlGaAs混晶よりなる半導体成長層71をエピタキシャル成長させ、高抵抗領域64aを形成する。続いて、半導体成長層71の上に、例えば、第1の障壁層64のキャリア供給領域64b、ソース層27aおよびドレイン層28aの形成予

定領域にそれぞれ対応して、同一工程により、n型AlGaAs混晶よりなる半導体成長層72をエピタキシャル成長させ、キャリア供給領域64bを形成する。

【0107】半導体成長層72を形成したのち、その上に、例えば、第1の障壁層64の高抵抗領域64c、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、undoped-AlGaAs混晶よりなる半導体成長層73をエピタキシャル成長させ、高抵抗領域64cを形成する。そののち、半導体成長層73の上に、例えば、第1の障壁層64のp型層埋め込み領域64d、p型層66a、ソース層27aおよびドレイン層28aの形成予定領域にそれぞれ対応して、同一工程により、p型AlGaAs混晶よりなる半導体成長層74をエピタキシャル成長させ、p型層66aを形成する。すなわち、ここでは、p型層66aを不純物を添加しながらエピタキシャル成長させることにより、厚さを精度良く制御するようになっている。

【0108】半導体成長層74を形成したのち、その上に、例えば、表面層65、p型コンタクト層66b、ソースコンタクト層27bおよびドレインコンタクト層28bの形成予定領域にそれぞれ対応して、同一工程により、p型GaAsよりなる半導体成長層75をエピタキシャル成長させ、p型コンタクト層66bを形成する。

【0109】半導体成長層75を形成したのち、図14(B)に示したように、例えば、イオン注入または不純物拡散により、半導体成長層75、74のうちの表面層65、ソースコンタクト層27b、ドレインコンタクト層28b、p型層埋め込み領域64d、ソース領域27aおよびドレイン領域28aの形成予定領域にそれぞれn型不純物を導入し、p型不純物を不活性化または補償する。これにより、p型層埋め込み領域64dおよび表面層65がそれぞれ形成される。

【0110】そののち、図14には示さないが、第1の実施の形態と同様にして、素子分離を行い、絶縁膜12、ゲート電極15、ソース電極12、ドレイン電極14、ソース層27a、ソースコンタクト層26b、ドレイン層28aおよびドレインコンタクト層28bをそれぞれ形成する。これにより、図13に示した半導体素子が形成される。

【0111】なお、この半導体素子は、半導体成長層74を形成したのち、その上に絶縁膜12を形成し、絶縁膜12の上からイオン注入して半導体成長層75、74のうちの表面層65、ソースコンタクト層27b、ドレインコンタクト層28b、p型層埋め込み領域64d、ソース領域27aおよびドレイン領域28aの形成予定領域にそれぞれn型不純物を導入するようにしても形成することができる。

【0112】また、この半導体素子は、第1の実施の形態と同様に動作し、同様に用いられる。

【0113】このように本実施の形態によれば、第1の

実施の形態において説明した効果に加えて、p型層66aおよびp型コンタクト層66bをエピタキシャル成長により不純物を導入して形成するようにしたので、p型層66aの厚さを高い精度で制御することができる。よって、閾値電圧のばらつきを小さくすることができる。

【0114】(第4の実施の形態)本実施の形態は、第1の実施の形態におけるチャンネル層23を他の半導体材料により構成した例を示すものである。よって、ここでは、対応する構成要素には第1の実施の形態と同一の符号を付すと共に、図1を参照し、同一部分についての詳細な説明を省略する。

【0115】チャンネル層23は、例えば、undoped-InGaAsN混晶あるいはundoped-InGaAsN混晶など、III族元素であるインジウムおよびガリウムからなる群のうちの少なくとも1種と、V族元素であるヒ素および窒素からなる群のうちの少なくとも窒素とを含むIII-V族化合物半導体により構成されており、チャンネル層23と第1の障壁層24との伝導帯端の不連続量 ΔE_c を更に大きくできるようになっている。

【0116】これによりこの半導体素子によれば、チャンネル層23と第1の障壁層24との伝導帯端の不連続量 ΔE_c が更に大きくなり、ゲート電圧 V_g の広い範囲に渡って相互コンダクタンス G_m およびゲート・ソース間容量 C_{gs} の変動を更に少なくすることができると共に、電流密度を更に高くすることができる。よって、更に優れた歪み特性を得ることができると共に、更に高出力化を図ることができる。

【0117】以上、実施の形態を挙げて本発明を説明したが、本発明はこれらの実施の形態に限定されるものではなく、種々変形することができる。例えば、上記実施の形態においては、第1導電型がp型で第2導電型がn型の場合について説明したが、第1導電型をn型とし第2導電型をp型として構成してもよい。この場合、チャンネル層23にキャリアとして正孔が蓄積され走行することを除き、上記実施の形態と同様の構成を有し、同様に動作する。また、上記実施の形態と同様に、第2の障壁層22および第1の障壁層24、64をチャンネル層23よりも小さな電子親和力および広いバンドギャップを有する半導体によりそれぞれ構成すれば、第2の障壁層22および第1の障壁層24、64の電子親和力とバンドギャップとの和をチャンネル層23よりもそれぞれ大きくすることができ、チャンネル層23に正孔を閉じ込めることができる。更に、第2の障壁層22および第1の障壁層24、64における電子の占有を防止することができ、動作に与える悪影響を防止することができる。

【0118】なお、上記実施の形態においては、ソース層27a、ソースコンタクト層27b、ドレイン層28aおよびドレインコンタクト層28bがインジウムを含むことにより、第1の障壁層24または表面層25、45よりも大きな電子親和力および狭いバンドギャップを

有する場合について説明したが、第1導電型がn型で第2導電型がp型の場合には、インジウムに代えてアンチモン(Sb)を含むようにすることにより同様の構成とすることができる。

【0119】また、上記実施の形態においては、エンハンスメントモードのものについて具体的に説明したが、本発明は、ディプレッションモードのものにも同様に適用される。

【0120】更に、上記実施の形態においては、第2の障壁層22および第1の障壁層24、64の両方にキャリア供給領域22b、24b、64bを設けるようにしたが、第2の障壁層22または第1の障壁層24、64のいずれか一方のみにキャリア供給領域を設けるようにしてもよい。

【0121】加えて、上記実施の形態においては、チャンネル層23を不純物を添加しない半導体により構成するようにしたが、第2導電型半導体により構成するようにしてもよい。この場合、上記実施の形態のように第2の障壁層および第1の障壁層の少なくとも一方にキャリア供給領域を設けるようにしてもよく、それらにはキャリア供給領域を設けないようにしてもよい。

【0122】更にまた、上記実施の形態においては、チャンネル層23の第1の障壁層24、64と反対側に第2の障壁層22を備えるようにしたが、本発明は、第2の障壁層を備えていないものも含んでいる。

【0123】加えてまた、上記実施の形態においては、p型不純物として亜鉛または炭素を具体的に挙げ、n型不純物としてケイ素を具体的に挙げて説明したが、マグネシウム(Mg)あるいはベリリウム(Be)などの他のp型不純物を用いるようにしてもよく、セレン(Se)、ゲルマニウム(Ge)、スズ(Sn)あるいは硫黄(S)などの他のn型不純物を用いるようにしてもよい。

【0124】更にまた、上記実施の形態においては、第1の障壁層24、64およびp型層26a、46a、66aをAlGaAs混晶によりそれぞれ構成する場合について具体的に説明したが、InGaP混晶、AlInGaP混晶およびAlInGaAsP混晶などによりそれぞれ構成するようにすれば、第1の障壁層24、64およびp型層26a、46a、66aのバンドギャップが更に広くなり、チャンネル層23との伝導帯端の不連続量 ΔE_c を更に大きくすることができる。よって、ゲート電極15に印加できる電圧の上限を更に大きくできると共に、ゲート電圧 V_g の広い範囲に渡って相互コンダクタンス G_m およびゲート・ソース間容量 C_{gs} の変動を更に少なくすることができ、かつ電流密度を更に高くすることができる。よって、更に正電源での動作が容易となると共に、更に優れた歪み特性を得ることができ、更に高出力化を図ることができる。

【0125】加えてまた、上記実施の形態においては、

半導体層 20, 40, 60 を構成する III-V 族化合物半導体を具体的に挙げて説明したが、他の III-V 族化合物半導体、例えば、III 族元素であるガリウム、アルミニウム、インジウムおよびホウ素 (B) からなる群のうちの少なくとも 1 種と、V 族元素である窒素、ヒ素およびリンからなる群のうちの少なくとも 1 種を含む他の III-V 族化合物半導体により構成するようにしてもよい。また、III-V 族化合物半導体以外の他の半導体により構成するようにしてもよい。

【0126】更にまた、上記実施の形態においては、ソース電極 13、ドレイン電極 14 およびゲート電極 15 を構成する材料について具体的に例を挙げて説明したが、他の材料によりそれぞれ構成するようにしてもよい。

【0127】加えてまた、上記実施の形態においては、ソース層 27a およびドレイン層 28a をチャネル層 23 とソース電極 13 またはドレイン電極 14 との間において第 1 の障壁層 24, 64 に対応させてそれぞれ形成するようにしたが、チャネル層 23 または第 2 の障壁層 22 にまで延長させて形成するようにしてもよい。

【0128】更にまた、上記第 1 の実施の形態においては、拡散法により半導体成長層 33, 34 に不純物を導入して p 型層 26a および p 型コンタクト層 26b をそれぞれ形成するようにしたが、イオン注入法により不純物を導入するようにしてもよい。

【0129】

【発明の効果】以上説明したように請求項 1 乃至請求項 27 のいずれか 1 に記載の半導体素子によれば、チャネル層とゲート電極との間にチャネル層よりも小さな電子親和力および広いバンドギャップを有する第 1 導電型層を備えると共に、この第 1 導電型層とゲート電極との間に第 1 導電型層よりも大きな電子親和力および狭いバンドギャップを有する第 1 導電型コンタクト層を備えるようにしたので、ビルトイン電圧を大きくすることができ、よってゲート電極に大きな正電圧を印加でき、正電源のみによる動作が容易となると共に、第 1 導電型層および第 1 導電型コンタクト層とゲート電極との接触抵抗を小さくすることができるという効果を奏する。また、チャネル層に寄生抵抗成分が残存せずいわゆるソース抵抗を低くすることができるので、電力付加効率を高めることができるという効果も奏する。更に、第 1 導電型コンタクト層により第 1 導電型層の酸化を抑制することができるという効果も奏する。

【0130】特に、請求項 9 乃至請求項 26 のいずれか 1 に記載の半導体素子によれば、チャネル層と第 1 導電型層との間にチャネル層よりも小さな電子親和力および広いバンドギャップを有する第 1 の障壁層を備えるようにしたので、ゲート電圧の広い範囲に渡って相互コンダクタンスおよびゲート・ソース間容量の変動を少なくすることができ、優れた歪み特性を得ることができるとい

う効果を奏する。また、電流密度を高くすることができ、高出力化を図ることができるという効果も奏する。

【0131】また、請求項 12 乃至請求項 22 のいずれか 1 に記載の半導体素子によれば、第 1 の障壁層のチャネル層と反対側に表面層を備えるようにしたので、第 1 導電型コンタクト層との段差を小さくすることができ、製造を容易とすることができるという効果を奏する。

【0132】更に、請求項 13 乃至請求項 17 のいずれか 1 に記載の半導体素子によれば、第 1 導電型層を第 1 の障壁層に対して埋め込むと共に、第 1 導電型コンタクト層を表面層に対して埋め込むようにしたので、表面層と第 1 導電型コンタクト層との段差をなくして平坦面とすることができ、より製造を容易とすることができる。

【0133】加えて、請求項 14 乃至 16 のいずれか 1 に記載の半導体素子によれば、表面層を第 2 導電型半導体により構成するようにしたので、チャネル層のうち表面層に対応する領域におけるキャリアの空乏化を防止することができ、いわゆるソース抵抗を低減することができるという効果を奏する。

【0134】更にまた、請求項 17 に記載の半導体素子によれば、表面層の厚さを 35 nm 以下とするようにしたので、表面層が第 2 導電型不純物を含んでいても、表面層のキャリアを空乏化させることができる。よって、ゲート電極とドレイン電極との間における逆方向の耐圧性を確保することができるという効果を奏する。

【0135】加えてまた、請求項 28 乃至請求項 37 のいずれか 1 に記載の半導体素子の製造方法によれば、チャネル層とゲート電極との間に第 1 導電型層を形成する工程と、第 1 導電型層とゲート電極との間に第 1 導電型コンタクト層を形成する工程とを備えるようにしたので、本発明の半導体素子を容易に形成することができ、本発明の半導体素子を容易に実現することができる。

【0136】更にまた、請求項 38 に記載の電力増幅器または請求項 39 に記載の無線通信装置によれば、本発明の半導体素子を用いるようにしたので、優れた低歪み特性および高い電力付加効率を得ることができると共に、正電源のみで容易に動作させることができる。よって、小型化することができ、かつ消費電力を少なくすることができる。従って、特に、携帯通信端末において、装置の小型化および使用時間の延長が可能となり、携帯を更に容易とすることができるという効果を奏する。また、電力増幅器について優れた低歪み特性が求められる CDM A などの通信品質の高い新しい通信方式においては、その品質を向上させることができるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る半導体素子の構成を表す断面図である。

【図 2】図 1 に示した半導体素子のエネルギーバンド構成図であり、ゲート電極に電圧を印加していない状態のものである。

【図 3】図 1 に示した半導体素子のエネルギーバンド構成図であり、ゲート電極に正電圧を印加している状態のものである。

【図 4】図 1 に示した半導体素子におけるゲート電圧 V_g とドレイン電流 I_d との関係を表す特性図である。

【図 5】図 1 に示した半導体素子におけるゲート電圧 V_g と相互コンダクタンス G_m との関係を表す特性図である。

【図 6】図 1 に示した半導体素子の動作を説明するための断面図である。

【図 7】図 1 に示した半導体素子の各製造工程を表す断面図である。

【図 8】図 1 に示した半導体素子を用いた無線通信装置を表す構成図である。

【図 9】本発明の第 2 の実施の形態に係る半導体素子の構成を表す断面図である。

【図 10】図 9 に示した半導体素子のエネルギーバンド構成図であり、ゲート電極に電圧を印加していない状態のものである。

【図 11】図 9 に示した半導体素子のエネルギーバンド構成図であり、ゲート電極に正電圧を印加している状態のものである。

【図 12】図 9 に示した半導体素子の各製造工程を表す断面図である。

【図 13】本発明の第 3 の実施の形態に係る半導体素子の構成を表す断面図である。

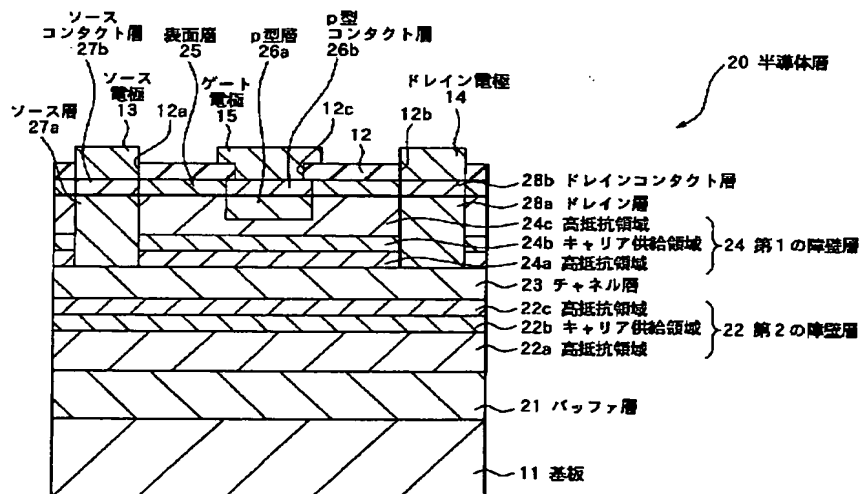
【図 14】図 12 に示した半導体素子の各製造工程を表す断面図である。

【図 15】従来の JHFET の構成を表す断面図である。

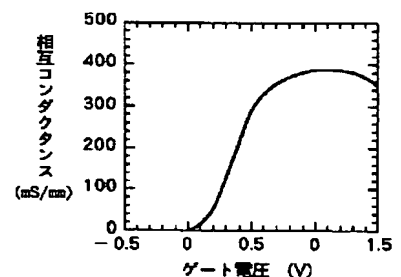
【符号の説明】

11, 211…基板、12, 212…絶縁膜、12a, 12b, 12c…開口、13, 213…ソース電極、14, 214…ドレイン電極、15, 215…ゲート電極、20, 40, 60…半導体層、21, 221…バッファ層、22, 222…第 2 の障壁層、22a, 22c…高抵抗領域、22b…キャリア供給領域、23, 223…チャンネル層、23a…キャリア欠乏領域、24, 64, 224…第 1 の障壁層、24a, 24c, 64a, 64c…高抵抗領域、24b, 64b…キャリア供給領域、25, 45, 66…表面層、26a, 46a, 66a, 226…p 型層（第 1 導電型層）、26b, 46b, 66b…p 型コンタクト層（第 1 導電型コンタクト層）、27a…ソース層、27b…ソースコンタクト層、28a…ドレイン層、28b…ドレインコンタクト層、31, 32, 33, 34, 51, 52, 53, 54, 55, 56, 71, 72, 73, 74, 75…半導体成長層、64d…p 型層埋め込み領域、110…アンテナ、120…受信部、130…信号処理回路、140…送信部、144…電力増幅器、150…スイッチ、229…キャップ層

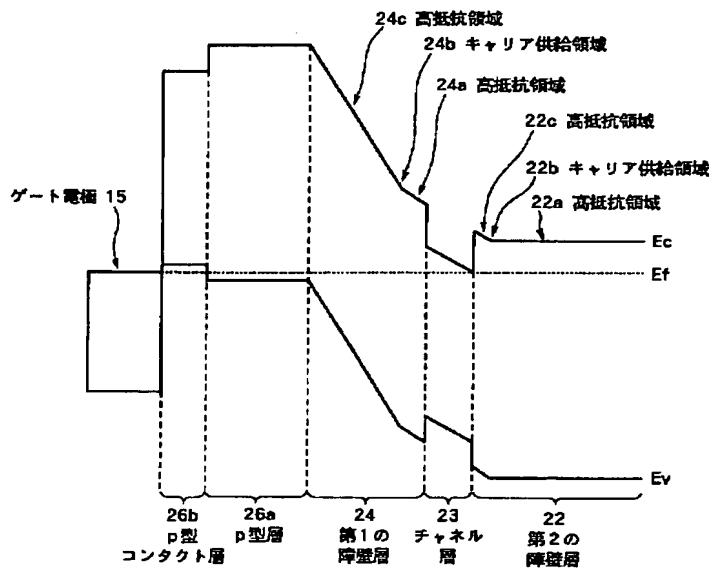
【図 1】



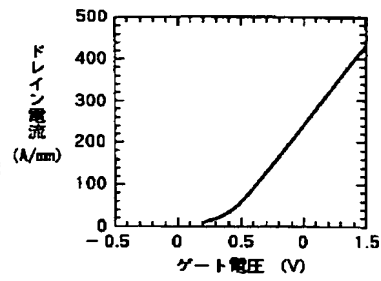
【図 5】



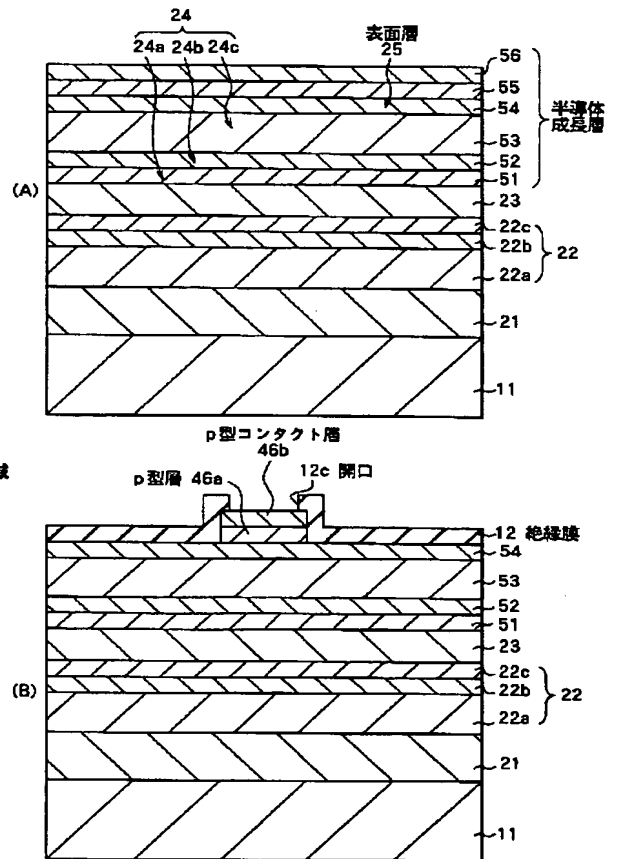
【図 2】



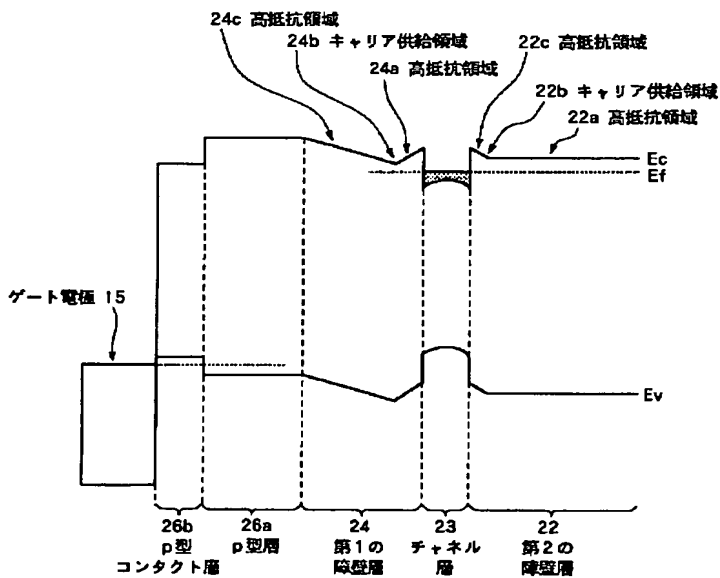
【図 4】



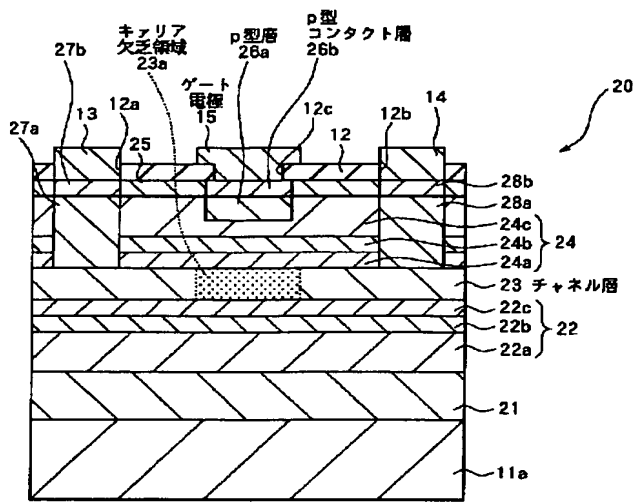
【図 12】



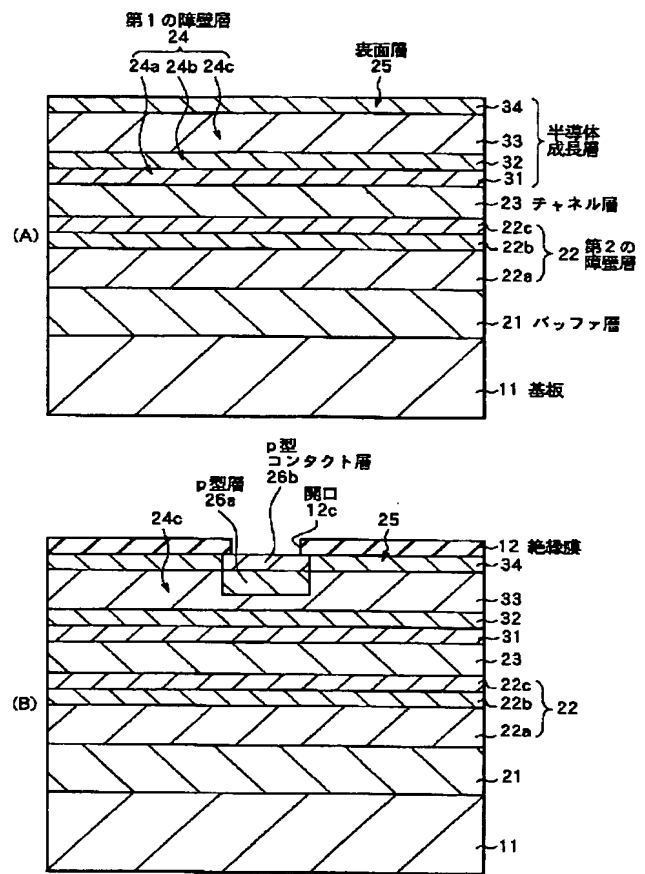
【図 3】



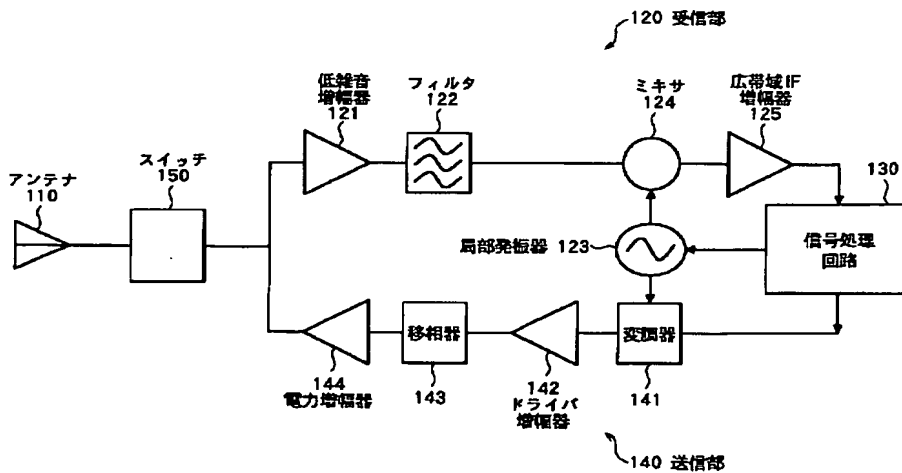
【図6】



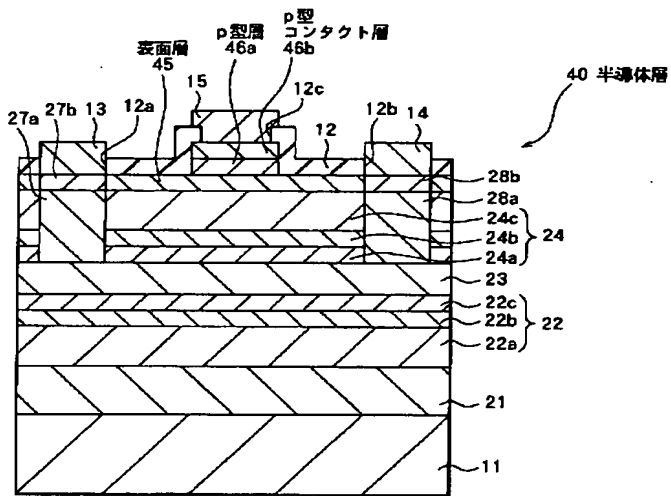
【図7】



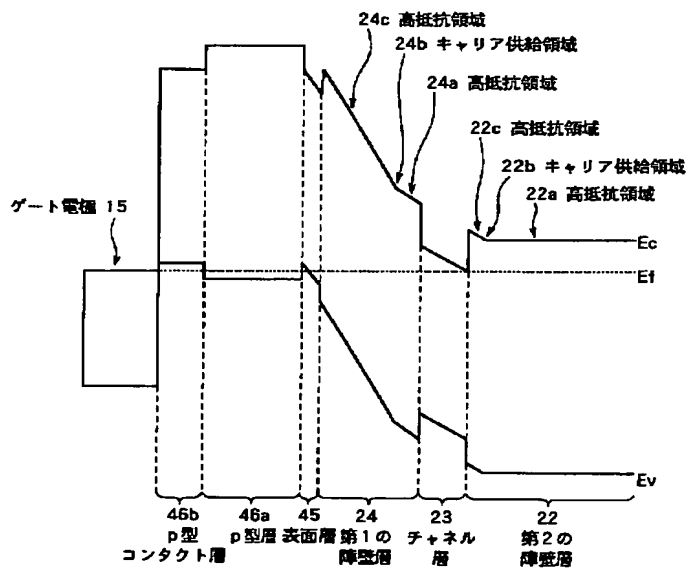
【図8】



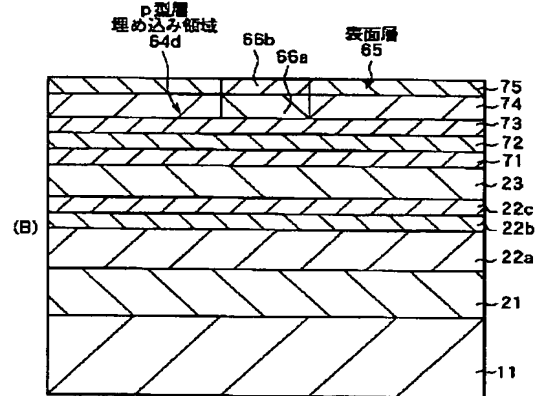
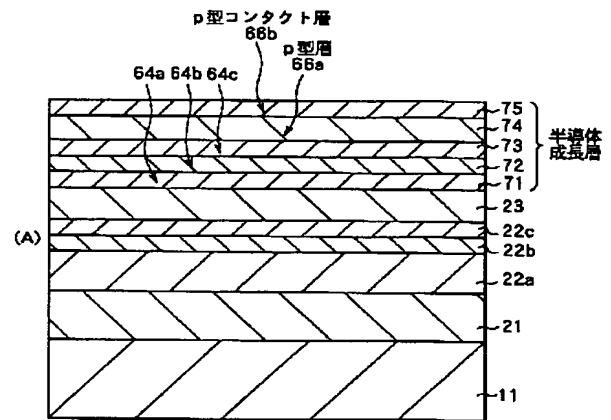
【図 9】



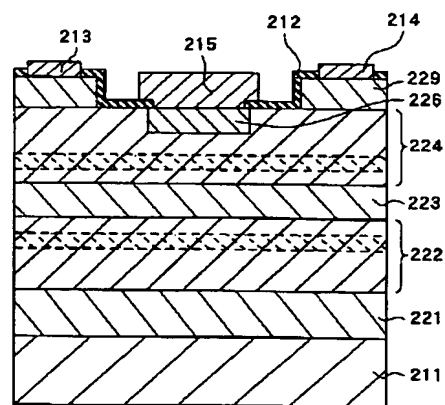
【図 10】



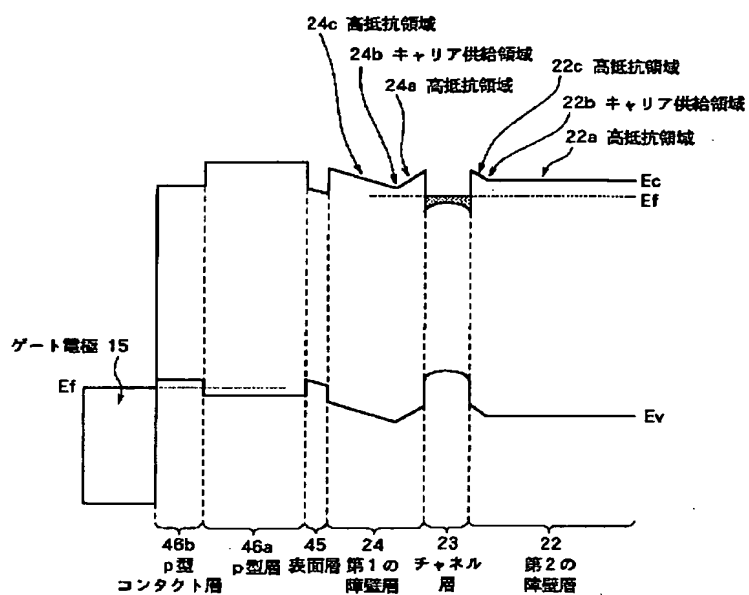
【図 14】



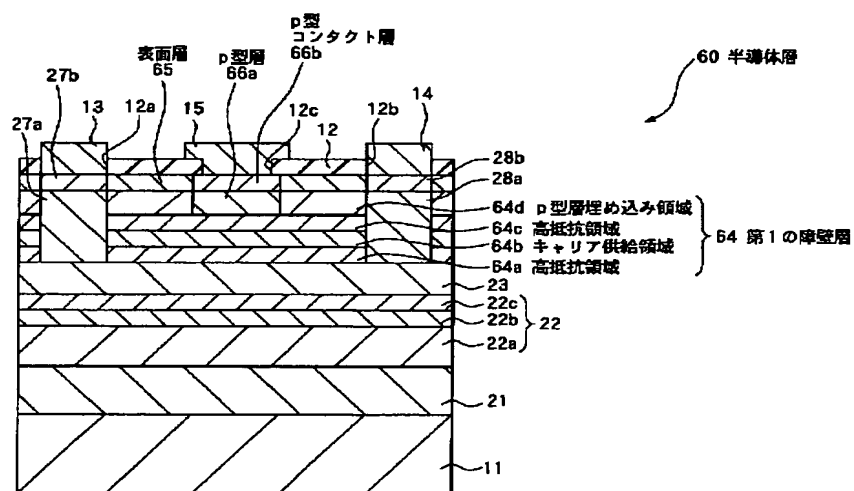
【図 15】



【図11】



【図13】



フロントページの続き

(72)発明者 中村 光宏
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

F ターム(参考) 5F102 FA01 FA03 GB01 GC01 GD04
GJ05 GK05 GL04 GM06 GM07
GN05 GQ03 GR09 GS02 GT03
GV08 HC01 HC05
5J091 AA04 AA41 CA21 CA36 FA16
KA16 KA32 KA44 KA53 QA02
SA14 TA01 TA02
5K067 AA42 BB04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.